

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2003年 7月24日

出願番号
Application Number: 特願2003-201144
[ST. 10/C]: [JP2003-201144]

出願人
Applicant(s): 富士通株式会社


2003年 8月19日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2003-3067427



【書類名】 特許願

【整理番号】 0351413

【あて先】 特許庁長官殿

【国際特許分類】 G06F 15/60

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内

 【氏名】 竹山 広治

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内

 【氏名】 久門 由紀

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内

 【氏名】 丸山 晃靖

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内

 【氏名】 ▲高▼木 美紀

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内

 【氏名】 佐藤 満

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内

 【氏名】 中村 武雄

【特許出願人】**【識別番号】** 000005223**【氏名又は名称】** 富士通株式会社**【代理人】****【識別番号】** 100097250**【弁理士】****【氏名又は名称】** 石戸 久子**【選任した代理人】****【識別番号】** 100101856**【弁理士】****【氏名又は名称】** 赤澤 日出夫**【先の出願に基づく優先権主張】****【出願番号】** 特願2002-331756**【出願日】** 平成14年11月15日**【手数料の表示】****【予納台帳番号】** 038760**【納付金額】** 21,000円**【提出物件の目録】****【物件名】** 明細書 1**【物件名】** 図面 1**【物件名】** 要約書 1**【包括委任状番号】** 0014371**【プルーフの要否】** 要

【書類名】 明細書

【発明の名称】 論理等価検証装置

【特許請求の範囲】

【請求項 1】 所定の二つの回路の論理等価検証を行い、該論理等価検証の結果の表示を行う論理等価検証装置であって、

前記二つの回路における互いに対応するそれぞれの論理コーンにおいて、回路の構造について対応する部分があるか否かを判定する構造マッチングを行い、前記構造マッチングの結果を素子毎の識別子として記録する第 1 識別子記録手段と

、
前記論理コーンから、互いに接続され同じ識別子を持つ素子の集まりをサブコーンとして抽出するサブコーン抽出手段と、

前記サブコーン抽出手段により抽出されたサブコーン毎に前記二つの回路の論理等価検証を行う検証手段と、

前記論理等価検証の結果に基づいて、前記論理等価検証の結果が不一致となるサブコーンと前記論理等価検証の結果が一致するサブコーンとを区別して表示する表示制御手段と、

を備えてなる論理等価検証装置。

【請求項 2】 所定の二つの回路の論理等価検証を行い、該論理等価検証の結果の表示を行う論理等価検証装置であって、

前記二つの回路における互いに対応する論理コーンにおいて、素子毎にインスタンス名が一致するか否かを判定するインスタンス名マッチングを行い、該インスタンス名マッチングの結果を識別子として記録する第 2 識別子記録手段と、

前記論理コーンから、互いに接続され同じ識別子を持つ素子の集まりをサブコーンとして抽出するサブコーン抽出手段と、

前記サブコーン抽出手段により抽出されたサブコーン毎に前記二つの回路の論理等価検証を行う検証手段と、

前記論理等価検証の結果に基づいて、前記論理等価検証の結果が不一致となるサブコーンと前記論理等価検証の結果が一致するサブコーンとを区別して表示する表示制御手段と、

を備えてなる論理等価検証装置。

【請求項 3】 所定の二つの回路の論理等価検証を行い、該論理等価検証の結果の表示を行う論理等価検証装置において、

前記二つの回路における互いに対応する論理コーンにおいて、論理コーンのうち所定部分に外部入力を与えて前記所定部分の出力を一定値とすることで、論理コーンから前記所定部分を除いて、サブコーンを抽出するサブコーン抽出手段と、

前記サブコーン抽出手段により抽出されたサブコーン毎に前記二つの回路の論理等価検証を行う検証手段と、

前記論理等価検証の結果に基づいて、前記論理等価検証の結果が不一致となるサブコーンと前記論理等価検証の結果が一致するサブコーンとを区別して表示する表示制御手段と、

を備えてなる論理等価検証装置。

【請求項 4】 所定の二つの回路の論理等価検証を行い、該論理等価検証の結果の表示を行う論理等価検証装置において、

前記二つの回路における互いに対応するそれぞれの論理コーンにおいて、部分の出力を見るための内部検証ポイントを選定し、前記内部検証ポイントの対応付けを行う内部検証ポイント対応付け手段と、

前記論理コーンから、前記内部検証ポイントを用いてサブコーンを抽出するサブコーン抽出手段と、

前記サブコーン抽出手段により抽出されたサブコーン毎に前記二つの回路の論理等価検証を行う検証手段と、

前記論理等価検証の結果に基づいて、前記論理等価検証の結果が不一致となるサブコーンと前記論理等価検証の結果が一致するサブコーンとを区別して表示する表示制御手段と、

を備えてなる論理等価検証装置。

【請求項 5】 所定の二つの回路の論理等価検証の結果において論理不一致となった論理コーンである不一致論理コーンが複数検出された場合に、論理不一致の原因を解析するための論理等価検証装置であって、

前記不一致論理コーンを構成する素子を記憶する記憶部と、
前記不一致論理コーンのうち解析の対象として選択した論理コーンを構成する素子を解析素子として抽出し、前記解析素子を含む前記不一致論理コーンを該当論理コーンとして前記解析素子毎に抽出し、前記該当論理コーンの数を該当数として前記解析素子毎に算出する解析手段と、
前記解析素子毎に前記該当数を表示する表示制御手段と、
を備えてなる論理等価検証装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、設計中の回路の変更時における変更前回路と変更後回路との論理等価検証後において、変更前回路と変更後回路との論理が不一致となる箇所のみを表示し、さらに、論理が不一致となる箇所が大量に検出された場合に、変更前回路と変更後回路における論理不一致の共通の原因の素子である共通不一致原因の解析を行う論理等価検証装置に関するものである。

【0002】

【従来の技術】

論理等価検証技術は、大規模集積回路（LSI）などの論理設計検証を行うCAD技術のひとつである。LSIの開発は、仕様検討から始まり、最終的なLSIが製造されるまでに多数の工程がある。高い品質のLSIを開発するためには、その設計工程の途中で論理設計ミスが混入しないことが非常に重要となっている。

【0003】

設計工程では、論理的な仕様が確定してからも、実際のものづくりのための実装設計工程で、信号のタイミング調整や製造テストを行うためのスキャン回路挿入など、論理仕様は変更しないが論理回路の実現構成を変更することが多く行われる。この作業をインプリ工程と称する。このインプリ工程において論理を変更してしまうミスが混入する可能性が高い。そのため、インプリ工程前の論理回路とインプリ工程後の論理回路の論理仕様が一致しているか否かを検証して論理設

計品質を高める必要がある。そのための技術が論理等価検証技術である。以下、インプリ工程前の論理回路をスペック (Specification)、インプリ工程後の論理回路をインプリ (Implementation) と称する。

【0004】

論理等価検証を行う前に、まず論理回路内で複数の検証ポイントが選定される。検証ポイントは通常、LSIの外部端子やフリップフロップ (FF) など回路を切りやすいポイントが選定される。次に、ある検証ポイントを出力ポイントとする部分を論理コーンとして抽出する。論理コーンとは、出力ポイントとなった検証ポイントから、入力ポイントとなる他の検証ポイントまでバックトレースされた部分のことである。

【0005】

図23は、論理コーンの一例を示す図である。図23に示すように、論理コーン51は、出力ポイントである検証ポイント52から入力ポイントである検証ポイント53、54までバックトレースされた部分である。また、検証ポイント53、54は、他の論理コーンの出力ポイントである。それぞれの論理コーンは通常それほど大きくはないが、ひとつのLSI内からは数千～数万、数十万の論理コーンが切り出され、それぞれ論理等価検証が行われる。全ての論理コーンの論理が一致した場合に、インプリとスペックの2つの論理回路は初めて等価とみなされる。不一致となる場合には、複数の論理コーンの論理が不一致になることが多いため解析も大変になる。例えば図23に示すように、論理コーン51と論理コーン55が重複している場合、重複している箇所に設計ミスが混入すると両論理コーンが不一致と検証される。

【0006】

スペックとインプリの論理は一致することが期待されているが、論理構造の修正ミスなどにより検証結果が不一致となった場合には、その原因を解析し、論理を正しいものに修正する必要がある。

【0007】

変更前回路と変更後回路の論理等価検証を行い、その結果を表示する論理等価検証装置として、変更前回路と変更後回路の論理が不一致となった場合に、不

致となる部分を表示するものがある。（例えば、特許文献 1 参照）。

【0008】

【特許文献 1】

特開平 10-254923 号公報（第 3-4 頁、図 1）

【0009】

【発明が解決しようとする課題】

しかしながら、上述したように 1 つの L S I を構成する論理コーンの数は膨大であり、論理等価検証後における不一致原因の特定に多くの手間や時間がかかるという問題があった。また、ユーザは、論理等価検証後、論理不一致となった複数の論理コーンの中からスペックとインプリの組を選び、回路図上でスペックとインプリの違いを調べ、不一致原因を調査するが、この場合どの不一致原因から調べれば効率的なのかわからず、不一致原因を調査する回数が非常に多くなる。

【0010】

本発明は上述した課題に鑑みてなされたものであり、論理等価検証後における不一致原因解析の手間を軽減し、設計・検証 T A T（Turn-around Time）を短縮できる論理等価検証装置を提供することを目的とする。

【0011】

【課題を解決するための手段】

上述した課題を解決するために、本発明は、所定の二つの回路の論理等価検証を行い、該論理等価検証の結果の表示を行う論理等価検証装置であって、前記二つの回路における互いに対応するそれぞれの論理コーンにおいて、回路の構造について対応する部分があるか否かを判定する構造マッチングを行い、前記構造マッチングの結果を素子毎の識別子として記録する第 1 識別子記録手段と、前記論理コーンから、互いに接続され同じ識別子を持つ素子の集まりをサブコーンとして抽出するサブコーン抽出手段と、前記サブコーン抽出手段により抽出されたサブコーン毎に前記二つの回路の論理等価検証を行う検証手段と、前記論理等価検証の結果に基づいて、前記論理等価検証の結果が不一致となるサブコーンと前記論理等価検証の結果が一致するサブコーンとを区別して表示する表示制御手段とを備えてなるものである。

【0012】

このような構成によれば、二つの回路の論理等価検証前に行われる構造マッチングの結果を用いて容易にサブコーンを抽出することができる。また二つの回路の論理等価検証後において、論理が一致したサブコーンと論理が不一致であるサブコーンが区別されて表示されることにより、不一致原因の解析の手間を軽減することができ、設計期間を短縮することができる。なお、本実施の形態における第1識別子記録手段とは、内部DB5と前処理手段7のことである。

【0013】

また、本発明は、所定の二つの回路の論理等価検証を行い、該論理等価検証の結果の表示を行う論理等価検証装置であって、前記二つの回路における互いに対応する論理コーンにおいて、素子毎にインスタンス名が一致するか否かを判定するインスタンス名マッチングを行い、該インスタンス名マッチングの結果を識別子として記録する第2識別子記録手段と、前記論理コーンから、互いに接続され同じ識別子を持つ素子の集まりをサブコーンとして抽出するサブコーン抽出手段と、前記サブコーン抽出手段により抽出されたサブコーン毎に前記二つの回路の論理等価検証を行う検証手段と、前記論理等価検証の結果に基づいて、前記論理等価検証の結果が不一致となるサブコーンと前記論理等価検証の結果が一致するサブコーンとを区別して表示する表示制御手段とを備えてなるものである。

【0014】

このような構成によれば、二つの回路の論理等価検証前に行われるインスタンス名マッチングの結果を用いて容易にサブコーンを抽出することができる。また二つの回路の論理等価検証後において、論理が一致したサブコーンと論理が不一致であるサブコーンが区別されて表示されることにより、不一致原因の解析の手間を軽減することができ、設計期間を短縮することができる。なお、本実施の形態における第2識別子記録手段とは、内部DB5と前処理手段7のことである。

【0015】

また、本発明は、所定の二つの回路の論理等価検証を行い、該論理等価検証の結果の表示を行う論理等価検証装置において、前記二つの回路における互いに対応する論理コーンにおいて、論理コーンのうち所定部分に外部入力を与えて前記

所定部分の出力を一定値とすることで、論理コーンから前記所定部分を除いて、サブコーンを抽出するサブコーン抽出手段と、前記サブコーン抽出手段により抽出されたサブコーン毎に前記二つの回路の論理等価検証を行う検証手段と、前記論理等価検証の結果に基づいて、前記論理等価検証の結果が不一致となるサブコーンと前記論理等価検証の結果が一致するサブコーンとを区別して表示する表示制御手段とを備えてなるものである。

【0016】

なお、本発明に係る論理等価検証装置において、論理コーンが前記所定部分によって複数の部分へ分割される場合に、前記サブコーン抽出手段は前記複数の部分をサブコーンとして抽出することを特徴とすることができる。

【0017】

このような構成によれば、二つの回路の論理等価検証前において、テスト回路等の検証対象外となる部分を除外することにより容易にサブコーンを抽出することができる。また二つの回路の論理等価検証後において、検証対象外となる部分は表示されず、論理が一致したサブコーンと論理が不一致であるサブコーンが区別されて表示されることにより、不一致原因の解析の手間を軽減することができる、設計期間を短縮することができる。

【0018】

また、本発明は、所定の二つの回路の論理等価検証を行い、該論理等価検証の結果の表示を行う論理等価検証装置において、前記二つの回路における互いに対応するそれぞれの論理コーンにおいて、部分の出力を見るための内部検証ポイントを選定し、前記内部検証ポイントの対応付けを行う内部検証ポイント対応付け手段と、前記論理コーンから、前記内部検証ポイントを用いてサブコーンを抽出するサブコーン抽出手段と、前記サブコーン抽出手段により抽出されたサブコーン毎に前記二つの回路の論理等価検証を行う検証手段と、前記論理等価検証の結果に基づいて、前記論理等価検証の結果が不一致となるサブコーンと前記論理等価検証の結果が一致するサブコーンとを区別して表示する表示制御手段とを備えてなるものである。

【0019】

このような構成によれば、二つの回路の論理等価検証前に設定される内部検証ポイントを用いて容易にサブコーンを抽出することができる。また二つの回路の論理等価検証後において、論理が一致したサブコーンと論理が不一致であるサブコーンが区別されて表示されることにより、不一致原因の解析の手間を軽減することができ、設計期間を短縮することができる。なお、本実施の形態における内部検証ポイント対応付け手段とは、前処理手段7のことである。

【0020】

なお、本発明に係る論理等価検証装置において、前記表示制御手段は、前記論理等価検証の結果に基づいて、前記論理等価検証の結果が不一致となるサブコーンのみを表示することを特徴とすることができる。

【0021】

このような構成によれば、二つの回路の論理等価検証後において、論理が不一致であるサブコーンのみが表示されることにより、不一致原因の解析の手間を軽減することができ、設計期間を短縮することができる。

【0022】

また、本発明は、所定の二つの回路の論理等価検証の結果において論理不一致となった論理コーンである不一致論理コーンが複数検出された場合に、論理不一致の原因を解析するための論理等価検証装置であって、前記不一致論理コーンを構成する素子を記憶する記憶部と、前記不一致論理コーンのうち解析の対象として選択した論理コーンを構成する素子を解析素子として抽出し、前記解析素子を含む前記不一致論理コーンを該当論理コーンとして前記解析素子毎に抽出し、前記該当論理コーンの数を該当数として前記解析素子毎に算出する解析手段と、前記解析素子毎に前記該当数を表示する表示制御手段とを備えてなるものである。

【0023】

このような構成によれば、ユーザは解析素子毎の該当数を閲覧することにより、該当数が多い解析素子が、二つの回路の間の論理不一致の共通の原因である可能性が高いと判断することができる。なお、本実施の形態における記憶部とは、DB101のことである。

【0024】

なお、本発明に係る論理等価検証装置において、前記表示制御手段は、前記該当数が所定の範囲である前記解析素子のみを表示することを特徴とすることができる。

【0025】

このような構成によれば、ユーザは該当数が所定の範囲である解析素子のみを閲覧することにより、二つの回路の間の論理不一致の共通の原因である可能性が高い解析素子を絞り込むことができる。

【0026】

また、本発明に係る論理等価検証装置において、前記表示制御手段はさらに、前記解析素子毎に前記該当論理コーンの識別子を表示することを特徴とすることができる。

【0027】

このような構成によれば、ユーザは解析素子毎の該当論理コーンと該当数を閲覧することにより、解析素子を含む論理コーンと、二つの回路の間の論理不一致の共通の原因である可能性が高い解析素子を知ることができる。

【0028】

また、本発明に係る論理等価検証装置において、前記表示制御手段は、素子の修正により影響の及ぶ出力ポイントを強調表示することを特徴とすることができる。

【0029】

このような構成によれば、論理等価検証での論理不一致となった論理コーンに対して、素子の修正の影響を表示することにより、ユーザは不必要な回路変更と再検証を減らすことができる。

【0030】

また、本発明に係る論理等価検証装置において、前記表示制御手段は、所定の回路を除外するための入力制約により影響の及ぶ出力ポイントを強調表示することを特徴とすることができる。

【0031】

このような構成によれば、論理等価検証での論理不一致となった論理コーンに

対して、入力 of 制約の影響を表示することにより、ユーザは unnecessary 回路変更と再検証を減らすことができる。

【0032】

また、本発明に係る論理等価検証装置において、前記所定の二つの回路は、設計中の回路の変更時における変更前回路と変更後回路であることを特徴とすることができる。

【0033】

このような構成によれば、変更前回路と変更後回路の論理等価検証後において、論理が不一致であるサブコーンのみが表示されることにより、不一致原因の解析の手間を軽減することができ、設計期間を短縮することができる。

【0034】

なお、本発明によれば、所定の二つの回路の論理等価検証を行い、該論理等価検証の結果の表示を行う論理等価検証方法であって、前記二つの回路における互いに対応するそれぞれの論理コーンにおいて、回路の構造について対応する部分があるか否かを判定する構造マッチングを行い、前記構造マッチングの結果を素子毎の識別子として記録するステップと、前記論理コーンから、互いに接続され同じ識別子を持つ素子の集まりをサブコーンとして抽出するステップと、前記サブコーン毎に前記二つの回路の論理等価検証を行うステップと、前記論理等価検証の結果に基づいて、前記論理等価検証の結果が不一致となるサブコーンと前記論理等価検証の結果が一致するサブコーンとを区別して表示するステップとを備えてなる論理等価検証方法を提供することができる。

【0035】

また、本発明によれば、所定の二つの回路の論理等価検証を行い、該論理等価検証の結果の表示を行う論理等価検証方法であって、前記二つの回路における互いに対応する論理コーンにおいて、素子毎にインスタンス名が一致するか否かを判定するインスタンス名マッチングを行い、該インスタンス名マッチングの結果を識別子として記録するステップと、前記論理コーンから、互いに接続され同じ識別子を持つ素子の集まりをサブコーンとして抽出するステップと、前記サブコーン毎に前記二つの回路の論理等価検証を行うステップと、前記論理等価検証の

結果に基づいて、前記論理等価検証の結果が不一致となるサブコーンと前記論理等価検証の結果が一致するサブコーンとを区別して表示するステップとを備えてなる論理等価検証方法を提供することができる。

【0036】

また、本発明によれば、所定の二つの回路の論理等価検証を行い、該論理等価検証の結果の表示を行う論理等価検証方法であって、前記二つの回路における互に対応する論理コーンにおいて、論理コーンのうち所定部分に外部入力を与えて前記所定部分の出力を一定値とすることで、論理コーンから前記所定部分を除いて、サブコーンを抽出するステップと、前記サブコーン毎に前記二つの回路の論理等価検証を行うステップと、前記論理等価検証の結果に基づいて、前記論理等価検証の結果が不一致となるサブコーンと前記論理等価検証の結果が一致するサブコーンとを区別して表示するステップとを備えてなる論理等価検証方法を提供することができる。

【0037】

また、本発明によれば、所定の二つの回路の論理等価検証を行い、該論理等価検証の結果の表示を行う論理等価検証方法であって、前記二つの回路における互に対応するそれぞれの論理コーンにおいて、部分の出力を見るための内部検証ポイントを選定し、前記内部検証ポイントの対応付けを行うステップと、前記論理コーンから、前記内部検証ポイントを用いてサブコーンを抽出するステップと、前記サブコーン毎に前記二つの回路の論理等価検証を行うステップと、前記論理等価検証の結果に基づいて、前記論理等価検証の結果が不一致となるサブコーンと前記論理等価検証の結果が一致するサブコーンとを区別して表示するステップとを備えてなる論理等価検証方法を提供することができる。

【0038】

また、本発明によれば、所定の二つの回路の論理等価検証の結果において論理不一致となった論理コーンである不一致論理コーンが複数検出された場合に、論理不一致の原因を解析するための論理等価検証方法であって、前記不一致論理コーンを構成する素子を記憶するステップと、前記不一致論理コーンのうち解析の対象として選択した論理コーンを構成する素子を解析素子として抽出し、前記解

析素子を含む前記不一致論理コーンを該当論理コーンとして前記解析素子毎に抽出し、前記該当論理コーンの数を該当数として前記解析素子毎に算出するステップと、前記解析素子毎に前記該当数を表示するステップとを備えてなる論理等価検証方法を提供することができる。

【0039】

また、本発明によれば、所定の二つの回路の論理等価検証を行い、該論理等価検証の結果の表示を行う論理等価検証方法をコンピュータに実行させるために、コンピュータにより読取可能な媒体に記憶された論理等価検証プログラムであって、

前記二つの回路における互いに対応するそれぞれの論理コーンにおいて、回路の構造について対応する部分があるか否かを判定する構造マッチングを行い、前記構造マッチングの結果を素子毎の識別子として記録するステップと、前記論理コーンから、互いに接続され同じ前記素子毎の識別子を持つ素子の集まりをサブコーンとして抽出するステップと、前記サブコーン毎に前記二つの回路の論理等価検証を行うステップと、前記論理等価検証の結果に基づいて、前記論理等価検証の結果が不一致となるサブコーンと前記論理等価検証の結果が一致するサブコーンとを区別して表示するステップとをコンピュータに実行させることを特徴とする論理等価検証プログラムを提供することができる。

【0040】

また、本発明によれば、所定の二つの回路の論理等価検証を行い、該論理等価検証の結果の表示を行う論理等価検証方法をコンピュータに実行させるために、コンピュータにより読取可能な媒体に記憶された論理等価検証プログラムであって、

前記二つの回路における互いに対応する論理コーンにおいて、素子毎にインスタンス名が一致するか否かを判定するインスタンス名マッチングを行い、該インスタンス名マッチングの結果を識別子として記録するステップと、前記論理コーンから、互いに接続され同じ識別子を持つ素子の集まりをサブコーンとして抽出するステップと、前記サブコーン毎に前記二つの回路の論理等価検証を行うステップと、前記論理等価検証の結果に基づいて、前記論理等価検証の結果が不一致

となるサブコーンと前記論理等価検証の結果が一致するサブコーンとを区別して表示するステップとをコンピュータに実行させることを特徴とする論理等価検証プログラムを提供することができる。

【0041】

また、本発明によれば、所定の二つの回路の論理等価検証を行い、該論理等価検証の結果の表示を行う論理等価検証方法をコンピュータに実行させるために、コンピュータにより読取可能な媒体に記憶された論理等価検証プログラムであって、前記二つの回路における互いに対応する論理コーンにおいて、論理コーンのうち所定部分に外部入力を与えて前記所定部分の出力を一定値とすることで、論理コーンから前記所定部分を除いて、サブコーンを抽出するステップと、前記サブコーン毎に前記二つの回路の論理等価検証を行うステップと、前記論理等価検証の結果に基づいて、前記論理等価検証の結果が不一致となるサブコーンと前記論理等価検証の結果が一致するサブコーンとを区別して表示するステップとをコンピュータに実行させることを特徴とする論理等価検証プログラムを提供することができる。

【0042】

また、本発明によれば、所定の二つの回路の論理等価検証を行い、該論理等価検証の結果の表示を行う論理等価検証方法をコンピュータに実行させるために、コンピュータにより読取可能な媒体に記憶された論理等価検証プログラムであって、

前記二つの回路における互いに対応するそれぞれの論理コーンにおいて、部分の出力を見るための内部検証ポイントを選定し、前記内部検証ポイントの対応付けを行うステップと、前記論理コーンから、前記内部検証ポイントを用いてサブコーンを抽出するステップと、前記サブコーン毎に前記二つの回路の論理等価検証を行うステップと、前記論理等価検証の結果に基づいて、前記論理等価検証の結果が不一致となるサブコーンと前記論理等価検証の結果が一致するサブコーンとを区別して表示するステップとをコンピュータに実行させることを特徴とする論理等価検証プログラムを提供することができる。

【0043】

また、本発明によれば、所定の二つの回路の論理等価検証の結果において論理不一致となった論理コーンである不一致論理コーンが複数検出された場合に、論理不一致の原因を解析するための論理等価検証方法をコンピュータに実行させるために、コンピュータにより読取可能な媒体に記憶された論理等価検証プログラムであって、前記不一致論理コーンを構成する素子を記憶するステップと、前記不一致論理コーンのうち解析の対象として選択した論理コーンを構成する素子を解析素子として抽出し、前記解析素子を含む前記不一致論理コーンを該当論理コーンとして前記解析素子毎に抽出し、前記該当論理コーンの数を該当数として前記解析素子毎に算出するステップと、前記解析素子毎に前記該当数を表示するステップとをコンピュータに実行させることを特徴とする論理等価検証プログラムを提供することができる。

【0044】

【発明の実施の形態】

以下、本発明の実施の形態について図面を参照して詳細に説明する。

実施の形態 1.

本実施の形態では、論理等価検証前に論理コーン内に設定される複数の内部検証ポイントを利用して論理コーン内の部分をサブコーンとして抽出し、サブコーン毎に検証を行い、検証結果が一致しないサブコーンのみを表示する。

【0045】

まず、論理等価検証装置の構成について説明する。図1は、論理等価検証装置の構成の一例を示すブロック図である。図1に示すように、論理等価検証装置は、記憶部1と制御部2と表示部3と入力部4から構成される。記憶部1は、回路情報に関するデータベース（DB）や検証制御プログラム等を記憶する。制御部2は、記憶部1の検証制御プログラムや入力部4からの指示に従って表示部3への表示を行う。ユーザは、入力部4を用いて、回路の入力・変更、論理等価検証の指示等を行う。

【0046】

次に、論理等価検証装置の機能について説明する。図2は、論理等価検証装置の機能の一例を示す機能ブロック図である。図2に示すように、論理等価検証装

置の機能は、DB100と検証制御プログラム200から構成される。DB100は、回路に関する情報を記録する内部DB5と、論理等価検証に関する情報を記録する検証DB6から構成されている。内部DB5は、セルライブラリ51とスペックデザイン52とインプリデザイン53から構成される。セルライブラリ51はセル名やセルの回路情報等を記録する。セル名は、例えばAND2（2入力のAND）、AND3（3入力のAND）等で表される。スペックデザイン52は、スペックにおけるインスタンス情報、セル名、回路接続情報等を記録する。インスタンス情報とはインスタンス名とインスタンス端子名からなる情報のことである。インスタンス名は個々の素子につけられた名称である。同様にインプリデザイン13は、インプリにおけるインスタンス情報、セル名、回路接続情報等を記録する。検証DB6は、サブコーンに関する情報とサブコーン毎の検証結果である検証情報を検証テーブルとして記録する。

【0047】

また、図2に示すように、検証制御プログラム200は、前処理手段7とサブコーン抽出手段8と検証手段9と表示制御手段10から構成される。図3は、検証制御プログラムのフローの一例を示すフローチャートである。

【0048】

まず、前処理手段7は、内部DB5の回路に関する情報を用いて論理等価検証の前処理を行う（S1）。まず、前処理手段7は、スペックとインプリの間で階層インスタンスの対応付けを行う。ここでは、例えば階層のインスタンス名を用いて対応付けを行う。次に、スペックとインプリにおいて検証ポイントの選定と対応付けを行う。また、検証ポイントを出力ポイントとする部分を論理コーンとして抽出する。次に、前処理手段7は、スペックとインプリにおいて論理コーン内の内部検証ポイントの選定と対応付けを行う。内部検証ポイントは、論理コーン内の部分的な出力を見るためのポイントである。

【0049】

次に、サブコーン抽出手段8は、複数の内部検証ポイントを利用して論理コーンからサブコーンを抽出し、抽出したサブコーンに関する情報を検証DB6の検証テーブルに記録する（S2）。本実施の形態におけるサブコーンとは、出力ポ

イントとなった内部検証ポイントから、入力ポイントとなる他の内部検証ポイントまでバックトレースされた部分のことである。

【0 0 5 0】

次に、検証手段 9 は、スペックとインプリの間で対応するサブコーン毎に論理等価検証を行い（S 3）、その結果を検証情報としてサブコーン毎に検証 DB 6 の検証テーブルに記録する。検証情報には例えば「不一致」、「未検証」、「一致」等の情報がある。

【0 0 5 1】

また、本実施の形態において、検証情報が一致となった第 1 のサブコーンの入力ポイントとなる内部検証ポイントが、検証情報が一致となった第 2 のサブコーンの出力ポイントとなる内部検証ポイントである場合、それらの内部検証ポイントは保持せず、第 1 のサブコーンと第 2 のサブコーンを 1 つのサブコーンとして検証 DB 6 の検証テーブルを更新する。

【0 0 5 2】

次に、表示制御手段 1 0 は、検証 DB 6 の検証テーブルにおける検証情報に従って、内部 DB 5 からスペックとインプリの回路に関する情報を読み出し、スペックの回路図とインプリの回路図において論理が不一致となるサブコーンのみを表示部 3 に表示する（S 4）。ここで、検証情報が「一致」であるサブコーンは表示されず、検証情報が「不一致」または「未検証」であるサブコーンは表示される。

【0 0 5 3】

図 4 は、内部検証ポイントを用いて抽出されたサブコーンの一例を示す図である。図 4 の（a）はスペックにおける論理コーンを示し、図 4 の（b）はインプリにおける論理コーンを示す。これら 2 つは対応する論理コーンである。また、白丸は検証ポイントを示し、黒丸は内部検証ポイントを示す。

【0 0 5 4】

図 4 の（a）の論理コーンにおいては、内部検証ポイント 2 1 を出力ポイントとするサブコーンの検証情報が「不一致」となったため、このサブコーンは表示される。同様に、図 4 の（b）の論理コーンにおいては、内部検証ポイント 2 2

を出力ポイントとするサブコーンの検証情報が「不一致」となったため、このサブコーンは表示される。その他の内部検証ポイントを出力ポイントとするサブコーンについても、表示されるか否かが検証情報に従って決定される。

【0055】

実施の形態 2.

本実施の形態では、論理等価検証前に自動的に実行される構造マッチングの結果を利用して論理コーン内の部分をサブコーンとして抽出し、サブコーン毎に検証を行い、検証結果が一致しないサブコーンのみを表示する。

【0056】

なお、本実施の形態においても図 1 に示した論理等価検証装置を用いて図 3 に示したフローで論理等価検証の処理を行うが、本実施の形態における前処理とサブコーン抽出の処理は実施の形態 1 における処理とは異なる。以下、本実施の形態における前処理とサブコーン抽出の処理について説明する。

【0057】

本実施の形態において、前処理手段 7 は、検証ポイントを出力ポイントとする部分を論理コーンとして抽出した後、スペックとインプリの間で対応する論理コーン同士の構造マッチングを行う。構造マッチングとは、スペックとインプリの間でインスタンス名やインスタンス間の接続関係や論理式等を比較することにより、回路の構造について対応する部分があるか否かを判定する処理である。サブコーン抽出手段 8 は構造マッチングの結果を用いて、論理コーンからサブコーンを抽出し、抽出したサブコーンに関する情報を検証 DB 6 の検証テーブルに記録する (S 2)。論理等価検証 (S 3) とサブコーンの表示 (S 4) については実施の形態 1 と同様の処理が行われる。

【0058】

次に、本実施の形態におけるサブコーンの抽出処理について説明する。まず、前処理手段 7 による構造マッチングの結果は、インスタンス毎に識別フラグとしてスペックデザイン 5 2 とインプリデザイン 5 3 に記録される。例えば、構造が不一致となったインスタンスには、識別フラグとして 1 が記録される。また、構造が一致となったインスタンスには、識別フラグとして 0 が記録される。次に、

サブコーン抽出手段 8 は、スペックデザイン 5 2 とインプリデザイン 5 3 に記録された識別フラグを用いてサブコーンの抽出を行う。

【 0 0 5 9 】

図 5 は、実施の形態 1 における論理コーン内のサブコーンの抽出処理の一例を示すブロック図である。まず、論理コーンの出力ポイントである検証ポイントを検査し、検証ポイントを最初のトレース元とする（S 1 1）。次に、インスタンス間の接続情報に従って、トレース元のインスタンスから論理コーンの入力ポイント方向に接続されたトレース先のインスタンスを探索するトレース処理を行う（S 1 2）。次に、トレース処理において、トレース元のインスタンスの識別フラグとトレース先全てのインスタンスの識別フラグとを比較を行う（S 1 3）。

。

【 0 0 6 0 】

識別フラグの比較の結果、トレース先のいずれかのインスタンスの識別フラグがトレース元のインスタンスの識別フラグと等しい場合（S 1 3, N o）、処理 S 1 2 へ戻り、等しい識別フラグを持つインスタンスを新たなトレース元としてトレース処理を続ける。

【 0 0 6 1 】

一方、識別フラグの比較の結果、トレース先全てのインスタンスの識別フラグがトレース元のインスタンスの識別フラグと異なる場合（S 1 3, Y e s）、トレース処理された範囲をサブコーンとして抽出し、抽出したサブコーンを検証 D B 6 へ登録する（S 1 4）。論理コーン内における新たなトレース元のインスタンスを検査する（S 1 5）。

【 0 0 6 2 】

論理コーン内にトレース元となりうるインスタンスが、まだトレース処理されずに残っている場合（S 1 6, N o）、処理 S 1 2 へ戻る。一方、論理コーン内にトレース元となりうるインスタンスがなくなった場合（S 1 6, Y e s）、このフローを終了する。以上のフローにより、論理コーン内の全てのサブコーンが抽出される。このフローは全ての論理コーンに対して行われる。

【 0 0 6 3 】

図6は、構造マッチングの結果を用いて抽出されたサブコーンの一例を示す図である。図6の(a)はスペックにおける論理コーンを示し、図6の(b)はインプリにおける論理コーンを示す。これら2つは対応する論理コーンである。また、点線で囲まれた部分はそれぞれ抽出されたサブコーンである。

【0064】

図6の(a)の論理コーンにおいては、検証ポイント11からトレース処理が行われる。まず、a1と接続されたa2がa1と等しい識別フラグを持つとすると、a1からa2へトレース処理が行われる。次に、a2と接続されたa5がa2と異なる識別フラグを持つとすると、トレース処理が行われない。さらに、a1と接続されたa3がa1と異なる識別フラグを持つとすると、トレース処理されるインスタンスがなくなる。結果として、a1とa2がサブコーン12として抽出される。

【0065】

次に、a3が新たなトレース元となり、同様のトレース処理が開始される。a3と接続されたa4、a5、a6が、a3と等しい識別フラグを持つとすると、a3からa4、a5、a6へトレース処理が行われる。次に、トレース元となるインスタンスがなくなる。結果として、a3、a4、a5、a6がサブコーン15として抽出される。従って図6の(a)の論理コーンにおいては、2つのサブコーン12、15が抽出される。

【0066】

同様に、図6の(b)の論理コーンにおいては、検証ポイント13からトレース処理が行われる。まず、a1と接続されたa2がa1と等しい識別フラグを持つとすると、a1からa2へトレース処理が行われる。次に、a2と接続されたa8、a9がa2と異なる識別フラグを持つとすると、トレース処理が行われない。さらに、a1と接続されたa7がa1と異なる識別フラグを持つとすると、トレース処理されるインスタンスがなくなる。結果として、a1とa2がサブコーン14として抽出される。

【0067】

次に、a7が新たなトレース元となり、同様のトレース処理が開始される。a

7と接続されたa 8がa 7と等しい識別フラグを持つとすると、a 7からa 8へトレース処理が行われる。次に、a 8と接続されたa 9がa 8と等しい識別フラグを持つとすると、a 8からa 9へトレース処理が行われる。次に、トレース元となるインスタンスがなくなる。結果として、a 7、a 8、a 9がサブコーン16として抽出される。従って図6の(b)の論理コーンにおいては、2つのサブコーン14, 16が抽出される。

【0068】

以上のように、互いに接続され、等しい識別フラグを持つインスタンスの集まりをサブコーンとして抽出し、スペックとインプリにおいて対応するサブコーン毎に検証を行う。図6において、対応するサブコーン12とサブコーン14は論理等価検証され、例えば検証結果が一致であれば表示しない。また、対応するサブコーン15とサブコーン16は論理等価検証され、例えば検証結果が不一致であれば表示される。以上により、論理が不一致であるサブコーンのみが表示部3に表示されることにより、不一致原因の解析の手間を軽減することができ、設計期間を短縮することができる。

【0069】

実施の形態3.

本実施の形態では、論理等価検証前に自動的に実行されるインスタンス名マッチングの結果を利用して論理コーン内の部分をサブコーンとして抽出し、サブコーン毎に検証を行い、検証結果が一致しないサブコーンのみを表示する。

【0070】

なお、本実施の形態においても図1に示した論理等価検証装置を用いて図3に示したフローで論理等価検証の処理を行うが、本実施の形態における前処理とサブコーン抽出の処理は実施の形態1における処理とは異なる。以下、本実施の形態における前処理とサブコーン抽出の処理について説明する。

【0071】

本実施の形態において、前処理手段7は、検証ポイントを出力ポイントとする部分を論理コーンとして抽出した後、スペックとインプリの間で対応する論理コーン内においてインスタンス名マッチングを行う。インスタンス名マッチングと

は、スペックとインプリの間でインスタンス名を比較することにより、インスタンス名について対応する部分があるか否かを判定する処理である。サブコーン抽出手段 8 は、インスタンス名マッチングの結果を用いて、論理コーンからサブコーンを抽出し、抽出したサブコーンに関する情報を検証 DB 6 の検証テーブルに記録する (S 2)。論理等価検証 (S 3) とサブコーンの表示 (S 4) については実施の形態 1 と同様の処理が行われる。

【0072】

次に、本実施の形態におけるサブコーンの抽出処理について説明する。まず、前処理手段 7 によるインスタンス名マッチングの結果は、インスタンス毎に識別フラグとリンク情報としてスペックデザイン 5 2 とインプリデザイン 5 3 に記録される。

【0073】

例えば、スペックのあるインスタンス名がインプリのいずれのインスタンス名とも一致しない場合は、スペックデザイン 5 2 内のあるインスタンスにおいて、識別フラグを 1 として記録するとともに、リンク情報は記録されない。同様に、インプリのあるインスタンス名がスペックのいずれのインスタンス名とも一致しない場合は、インプリデザイン 5 3 内のあるインスタンスにおいて、識別フラグを 1 として記録するとともに、リンク情報は記録されない。

【0074】

一方、スペックのあるインスタンス名がインプリのあるインスタンス名と一致している場合は、スペックデザイン 5 2 内のあるインスタンスにおいて、識別フラグが 0 として記録されるとともに、対応するインプリのインスタンスへのリンク情報が記録され、インプリデザイン 5 3 内のあるインスタンスにおいて、識別フラグが 0 として記録されるとともに、対応するスペックのインスタンスへのリンク情報が記録される。

【0075】

サブコーン抽出手段 8 は、スペックデザイン 5 2 とインプリデザイン 5 3 に記録された識別フラグを用いてサブコーンの抽出を行う。本実施の形態におけるサブコーンの抽出処理は、識別フラグがインスタンス名マッチングの結果によるも

のであること以外は、図 5 に示したフローチャートと同様のフローでサブコーンの抽出処理が行われる。このサブコーンの抽出処理は全ての論理コーンに対して行われる。

【0076】

図 7 は、インスタンス名マッチングの結果を用いて抽出されたサブコーンの一例を示す図である。図 7 の (a) はスペックにおける論理コーンを示し、図 7 の (b) はインプリにおける論理コーンを示す。これら 2 つは対応する論理コーンである。また、b 1 ～ b 6 はインスタンス名を示す。

【0077】

図 7 の (a) の論理コーンにおいて、b 1, b 2, b 3 が同じ識別フラグを持つとすると、b 1, b 2, b 3 がサブコーン 3 1 として抽出される。また、b 4, b 5, b 6 が同じ識別フラグを持つとすると、b 4, b 5, b 6 がサブコーン 3 2 として抽出される。

【0078】

同様に、図 7 の (b) の論理コーンにおいて、b 1, b 2, b 3 は同じ識別フラグを持つとすると、b 1, b 2, b 3 がサブコーン 3 3 として抽出される。また、b 4, b 5, b 6 は同じ識別フラグを持つとすると、b 4, b 5, b 6 がサブコーン 3 4 として抽出される。

【0079】

以上のように、互いに接続され、等しい識別フラグを持つインスタンスの集まりをサブコーンとして抽出し、スペックとインプリにおいて対応するサブコーン毎に検証を行う。図 7 において、対応するサブコーン 3 1 とサブコーン 3 3 は論理等価検証され、例えば検証結果が一致であれば表示しない。また、対応するサブコーン 3 2 とサブコーン 3 3 は論理等価検証され、例えば検証結果が不一致であれば表示される。以上により、論理が不一致であるサブコーンのみが表示部 3 に表示されることにより、不一致原因の解析の手間を軽減することができ、設計期間を短縮することができる。

【0080】

実施の形態 4.

本実施の形態では、論理等価検証前に論理コーンから検証対象外となる所定の部分を除外してサブコーンを抽出し、サブコーン毎に検証を行い、検証結果が一致しないサブコーンのみを表示する。

【0081】

なお、本実施の形態においても図1に示した論理等価検証装置を用いて図3に示したフローで論理等価検証の処理を行うが、本実施の形態における前処理とサブコーン抽出の処理は実施の形態1における処理とは異なる。以下、本実施の形態における前処理とサブコーン抽出の処理について説明する。

【0082】

まず、検証対象外となる部分について説明する。検証対象外となる部分には、例えば製造テストに使用するテスト回路（スキャン回路）や、ループ回路の切断による論理の変更箇所などがある。検証対象外となる部分は通常、論理等価検証前にユーザからの指示や前処理により、回路図から除外される。

【0083】

本実施の形態において、スペックとインプリにおける検証対象外の部分は、外部入力を備え、外部入力に所定の値を入力すると、他の入力ポイントにいかなる値を入力しても、出力ポイントの値が常に一定値を出力するように、あらかじめ設計される。論理等価検証前に、スペックとインプリにおける検証対象外の部分の外部入力に所定の値を入力することにより、出力ポイントの値は等しくなり、検証対象外の部分の抽出の処理は、実現される。

【0084】

次に、本実施の形態におけるサブコーンの抽出処理について説明する。本実施の形態では、前処理手段7が検証ポイントを出力ポイントとする部分を論理コーンとして抽出した後、サブコーン抽出手段8は、スペックとインプリの対応する論理コーンに対して外部入力を行い、検証対象外の部分の抽出を行う（S21）。この検証対象外の部分は非表示のサブコーンとして、検証DB6へ登録される。検証対象外の部分により論理コーンが複数に分割されない場合（S22, No）、残りの部分をサブコーンとして検証DB6へ登録し（S23）、このフローを終了する。一方、検証対象外の部分により論理コーンが複数に分割された場合

(S 2 2, Y e s)、複数に分割された部分をサブコーンとして検証DB 6 へ登録し(S 2 4)、このフローを終了する。以上のフローによるサブコーン抽出処理は、検証対象外としたい部分を持つ論理コーン全てについて行われる。

【0 0 8 5】

サブコーン抽出手段 8 は以上のフローに従って、論理コーンからサブコーンを抽出し、抽出したサブコーンに関する情報を検証DB 6 の検証テーブルに記録する(S 2)。論理等価検証(S 3)とサブコーンの表示(S 4)については実施の形態 1 と同様の処理が行われる。

【0 0 8 6】

図 9 は、検証対象外の部分を除いて抽出されたサブコーンの一例を示す図である。図 9 の (a) はスペックにおける論理コーンを示し、図 9 の (b) はインプリにおける論理コーンを示す。これら 2 つは対応する論理コーンである。また、斜線部分はそれぞれ検証対象外の部分である。

【0 0 8 7】

図 9 の (a) の論理コーンにおいては、外部入力を行うことにより、斜線部分の出力ポイント 4 1 は常に一定値を出力する。これにより、斜線部分は検証対象外とすることができる。ここでは、検証対象外の部分の抽出により論理コーンが 2 つに分割されるため、2 つに分割された部分がサブコーン 4 2, 4 3 として抽出される。

【0 0 8 8】

同様に、図 9 の (b) の論理コーンにおいては、外部入力を行うことにより、斜線部分の出力ポイント 4 4 は常に一定値を出力する。これにより、斜線部分は検証対象外とすることができる。ここでは、検証対象外の部分の抽出により論理コーンが 2 つに分割されるため、2 つに分割された部分がサブコーン 4 5, 4 6 として抽出される。

【0 0 8 9】

以上のように、検証対象外の部分を除いてサブコーンを抽出し、スペックとインプリにおいて対応するサブコーン毎に検証を行う。図 9 において、斜線部分は表示されない。また、対応するサブコーン 4 3 とサブコーン 4 6 は論理等価検証さ

れ、例えば検証結果が一致であれば表示されない。また、対応するサブコーン 4 2 とサブコーン 4 5 は論理等価検証され、例えば検証結果が不一致であれば表示される。以上により、論理が不一致であるサブコーンのみが表示部 3 に表示されることにより、不一致原因の解析の手間を軽減することができ、設計期間を短縮することができる。本実施の形態では、検証対象外の部分を表示しないとしたが、低輝度表示を行うようにしても良い。

【0090】

なお、実施の形態 1 から実施の形態 4 においては、検証結果としてスペックの回路図とインプリの回路図の両方を表示部 3 へ表示するとしたが、一方の回路図のみを表示するようにしても良い。また、本実施の形態では、検証結果が一致した箇所は表示しないとしたが、低輝度表示を行っても良い。

【0091】

実施の形態 5.

本実施の形態では、実施の形態 1 乃至実施の形態 4 のいずれかを用いてスペックとインプリの論理等価検証を行った結果、論理不一致となったサブコーンである不一致サブコーンが大量に検出された場合に、スペックとインプリにおける論理不一致の共通の原因の素子である共通不一致原因の解析を行う。

【0092】

多段論理回路の設計においては、素子を共有化してできるだけ少ない素子で回路を作ること为目标とし、論理合成を行うことにより、可能な共有化が全てなされた論理回路を設計することも可能となっている。共有化された素子は複数のサブコーンに属する。もし、インプリにおいて、多くのサブコーンに属する素子に 1 箇所でも間違いがあった場合、多数のサブコーンで論理不一致となることがある。つまり、複数の論理不一致が検出され、複数の関連性のある部分が論理不一致である場合は、共通の原因が存在する可能性が高い。そのため、本実施の形態では、不一致サブコーンで共通に存在する素子を共通不一致原因候補とする。

【0093】

まず、本実施の形態における論理等価検証装置の機能について説明する。本実施の形態では、DB 100 の代わりに DB 101 を備え、検証制御プログラム 2

01の代わりに検証制御プログラム200を備える。また、検証DB6の代わりに検証DB63を備え、表示制御手段10の代わりに表示制御手段62を備え、さらに解析手段61を加える。検証DB63は、検証テーブルに加え、解析テーブルと解析結果テーブルを備える。表示制御手段62は、不一致サブコーンの表示機能に加え、後述する論理不一致リスト画面、解析条件設定画面、共通不一致原因解析結果画面、不一致原因影響解析画面、影響伝播範囲画面、検証制約設定画面の表示機能を備える。解析手段61は、共通不一致原因解析を行う。

【0094】

以下、共通不一致原因解析について図11のフローチャートを用いて説明する。本実施の形態では、図12に示すスペックと図13に示すインプリを例に挙げて説明する。図12に示すスペックは、L1～L10のインスタンス名で表された素子で構成され、入力ポイントA、B、C、Dと出力ポイントS、T、U、Vを備える。また、図13に示すインプリは、M1～M10のインスタンス名で表された素子で構成され、入力ポイントA、B、C、Dと出力ポイントS、T、U、Vを備える。図14は、スペックにおけるSを出力ポイントとしたサブコーンを示す。スペックとインプリにおけるS、T、U、Vを出力ポイントとするサブコーンは図14と同様に抽出される。ここでは、サブコーン単位で論理等価検証及び共通不一致原因解析を行うとしたが、サブコーンの代わりに論理コーンを用いても良い。

【0095】

まず、図12に示すスペックと図13に示すインプリは、サブコーン毎に論理等価検証され、検証結果が一致しないサブコーンは表示される。実施の形態1乃至実施の形態4では、表示制御手段62が、スペックとインプリにおいて不一致サブコーンを回路図上で表示するとしたが、本実施の形態では、不一致サブコーンの出力を論理不一致リストとして表示する(S31)。

【0096】

図15は、論理不一致リスト画面の一例を示す図である。論理不一致リスト画面では、スペックとインプリにおける不一致サブコーンの出力ポイントが一覧として表示される。論理不一致リスト画面において、ユーザは入力部4を用いて不

一致サブコーンの出力ポイントをチェックすることにより、解析サブコーンの選択を行う。解析サブコーンとは、不一致サブコーンのうち共通不一致原因解析の対象となるサブコーンのことである。ここでは、図15に示すように、ユーザはスペックとインプリにおける出力ポイントS、T、U、Vをチェックすることにより解析サブコーンとして選択したとする。解析サブコーンの選択については、論理不一致リスト画面上で初期設定として予め出力ポイントが選択されることにより、全ての出力ポイントまたは一定の個数の出力ポイントが自動的に選択される機能を備えても良い。

【0097】

解析サブコーンの選択後、ユーザが論理不一致リスト画面において、解析条件設定ボタン71をクリックすると、解析手段61は、論理不一致リスト画面で選択された解析サブコーンを検証DB63の解析テーブルに格納し、表示制御手段62は、解析条件設定画面の表示を行う（S32）。図16は、解析条件設定画面の一例を示す図である。ここでユーザは、入力部4を用いて共通不一致原因解析を行うための条件の設定を行う。解析条件設定画面では、解析ゲート種類と、解析素子接続状況と、出現回数を設定することができる。

【0098】

解析ゲート種類では、共通不一致原因解析の対象となる素子の種類を制限することができる。例えば図16に示すように、ANDとORをONとすると、ANDとORの素子のみが共通不一致原因解析の対象となる。ここでは一例としてANDとORのみをONとしているが、他の解析ゲート種類を選択しても良い。

【0099】

解析素子接続状況では、共通不一致原因解析の対象となる素子の接続状況を制限することができる。最小入力数は素子に対する入力値の最小値を示し、最大入力数は素子に対する入力値の最大値を示し、最小出力分岐数は素子の出力の最小分岐数を示し、最大出力分岐数は素子の出力の最大分岐数を示す。例えば図16に示すように、最小入力数が2、最大入力数、最小分岐数、最大分岐数は制限なしとすると、2入力以上の素子のみが共通不一致原因解析の対象となる。

【0100】

出現回数では、共通不一致原因解析の対象となる素子の出現状況を制限することができる。例えば図 16 に示すように、出現回数が 1 回以上とすると、1 回以上出現した素子のみが共通不一致原因解析の対象となる。

【0101】

ここでは、ユーザが図 16 に示すような解析条件を設定したとする。解析条件の設定後、ユーザが解析条件設定画面において、解析実行ボタン 72 をクリックすると、解析手段 61 は、解析条件設定画面で設定された解析条件を検証 DB 63 の解析テーブルに格納する。次に、解析手段 61 は、DB 101 の解析サブコーンに関する情報と解析条件を用いて共通不一致原因解析を行う（S33）。

【0102】

ここで、共通不一致原因解析について説明する。まず、解析手段 61 は、スペックとインプリにおいて、解析サブコーンを構成する素子のうち解析条件に合致する素子である解析素子を抽出する。次に、各解析素子と各不一致サブコーンを構成する素子とを比較することにより、解析素子を含んだ不一致サブコーンである該当サブコーンを抽出するとともに、該当サブコーンの数である該当数を算出する。次に、解析素子毎に、該当サブコーンと該当数とを関連付けて解析結果テーブルへ格納する。

【0103】

次に、表示制御手段 62 は、解析結果テーブルに従って共通不一致原因解析結果画面の表示を行う（S34）。図 17 は、共通不一致原因解析結果画面の一例を示す図である。図 17 に示すように、共通不一致原因解析結果画面では、スペックとインプリそれぞれについて、行ラベルを解析素子のインスタンス名、列ラベルを不一致サブコーンの出力ポイント名とし、解析素子毎の該当サブコーンに対応する位置にチェックをつけた行列を表示するとともに、解析素子毎の該当数を表示する。

【0104】

ここで、図 17 に示すスペックの共通不一致原因解析結果では、解析サブコーンを構成する素子のうち、AND または OR、2 入力以上、出現回数 1 回以上という解析条件に合致する解析素子は L1 ～ L10 であり、行ラベルとして解析素

子 L1～L10 が表示される。例えば、出力ポイント S で表された不一致サブコーンは L1、L2、L4、L6、L7 を含むため、出力ポイント S に対応する列の中で、解析素子 L1、L2、L4、L6、L7 に対応する行の位置にチェックが表示される。同様に全ての解析素子とその該当サブコーンに対応する位置にチェックが表示され、さらに解析素子 L1 の該当数が 4 と表示される。

【0105】

また、該当数の下限を指定し、下限より多くの論理不一致サブコーンに共通している解析素子のみを表示するようにしても良く、これにより、解析素子数が多い場合にユーザが閲覧しやすくなる。ここでは、解析素子の番号順で表示されているが、該当数が多い順に表示されるようにしても良い。このような共通不一致原因解析結果画面を閲覧することにより、ユーザは、該当数が多い解析素子を、共通不一致原因である可能性が高い共通不一致原因候補と判断することができる。

【0106】

次に、ユーザは共通不一致原因候補に対して、素子を修正するか、検証制約を設定して再検証を行う。ここで、素子の修正や検証制約の設定により、その回路変更が前回の論理等価検証での不一致サブコーンにどれだけ影響を及ぼすかを表示することにより、不必要な回路変更と再検証を減らすことができる。

【0107】

共通不一致原因解析結果画面において、ユーザが素子の修正による影響の表示を希望した場合（S35，Yes）、表示制御手段 62 は、素子の修正に伴う影響伝搬範囲の表示を行い（S36）、このフローを終了する。また、ユーザが検証制約の設定による影響の表示を希望した場合（S37，Yes）、表示制御手段 62 は、検証制約に伴う影響伝搬範囲の表示を行い（S38）、このフローを終了する。また、ユーザが素子の修正と検証制約の設定による影響の表示を希望しなかった場合（S37，No）、このフローを終了する。

【0108】

ここで、素子の変更に伴う影響伝搬範囲の表示について説明する。共通不一致原因解析結果画面の閲覧後、ユーザが図 17 において、例えば素子 M1 をダブル

クリックすることにより共通不一致原因候補として選択すると、表示制御手段 62 は図 18 に示すような不一致原因影響解析画面の表示を行う。図 18 の例において、不一致原因影響解析画面には回路図が表示され、その中の素子 M1 が強調表示される。さらに、ユーザが素子 M1 をクリックすることにより選択すると、素子の修正方法候補として、「論理を反転する」、「論理を変更する」、「入力を交換する」がポップアップ表示される。

【0109】

次に、ユーザが修正方法候補の中から例えば「論理を反転する」を選択すると、表示制御手段 62 は図 19 に示すような影響伝播範囲画面の表示を行う。影響伝播範囲画面には回路図が表示され、選択した修正による影響の及ぶ範囲を強調表示する。図 19 の例は、素子 M1 の論理反転による影響が、M4、M6、M7、M8、M9、M10、S、T、U、V に及ぶことを表す。また、論理不一致リスト画面において、素子 M1 の論理反転による影響が及ぶ出力ポイントを強調表示するようにしても良い。

【0110】

図 19 の影響伝播範囲画面から、ユーザは素子 M1 の修正により出力ポイント S、T、U、V に影響があることがわかり、再検証を行う意味があることがわかる。もし影響伝播範囲画面において、素子 M1 の論理反転による影響が出力ポイント S、T、U、V のいずれかに伝播しない場合、ユーザは素子 M1 の修正を行う必要がなく、他の共通不一致原因候補を調査すれば良いことがわかる。

【0111】

次に、検証制約の設定に伴う影響伝播範囲の表示について説明する。共通不一致原因解析結果の閲覧後、ユーザが検証制約設定画面の表示の指示を入力すると、表示制御手段 62 は図示しない検証制約設定画面の表示を行う。検証制約の設定とは、スペックとインプリのうちの一方の回路にだけテスト回路等の検証対象外となる部分が追加されている場合に、検証対象外となる部分の入力に一定値を設定することにより、検証対象外となる部分を除外することである。例えば図 20 に示すスペックと図 21 に示すインプリの論理等価検証を行った場合は、出力ポイント X、Y、Z が論理不一致であり、論理不一致の原因である入力 E はテスト

回路として追加されたものであるとする。そこで、このテスト回路を機能させないために、検証制約として入力 E を High に設定する。

【0112】

検証制約設定画面は、検証制約の設定項目と、影響確認ボタンを備える。図 21 の例において、ユーザが検証制約の設定項目において入力 E を High に設定した後、影響確認ボタンをクリックすることにより、表示制御手段 62 は、図 22 に示すような影響伝播範囲画面の表示を行う。影響伝播範囲画面には回路図が表示され、検証制約の設定による影響の及ぶ範囲を強調表示する。図 22 の例は、入力 E による影響が、P7、P8、P9、X、Y、Z に及ぶことを表す。また、図 15 に示す論理不一致リスト画面において、入力 E による影響が及ぶ出力ポイントを強調表示するようにしても良い。

【0113】

図 22 の影響伝播範囲画面から、ユーザは検証制約の設定により出力ポイント X、Y、Z に影響があることがわかり、再検証を行う意味があることがわかる。もし影響伝播範囲画面において、検証制約の設定による影響が出力ポイント X、Y、Z のいずれかに伝播しない場合、ユーザは検証制約の設定を行う必要がなく、他の共通不一致原因候補を調査すれば良いことがわかる。

【0114】

(付記 1) 所定の二つの回路の論理等価検証を行い、該論理等価検証の結果の表示を行う論理等価検証装置であって、

前記二つの回路における互いに対応するそれぞれの論理コーンにおいて、回路の構造について対応する部分があるか否かを判定する構造マッチングを行い、前記構造マッチングの結果を素子毎の識別子として記録する第 1 識別子記録手段と、

前記論理コーンから、互いに接続され同じ識別子を持つ素子の集まりをサブコーンとして抽出するサブコーン抽出手段と、

前記サブコーン抽出手段により抽出されたサブコーン毎に前記二つの回路の論理等価検証を行う検証手段と、

前記論理等価検証の結果に基づいて、前記論理等価検証の結果が不一致となる

サブコーンと前記論理等価検証の結果が一致するサブコーンとを区別して表示する表示制御手段と、

を備えてなる論理等価検証装置。

(付記 2) 所定の二つの回路の論理等価検証を行い、該論理等価検証の結果の表示を行う論理等価検証装置であって、

前記二つの回路における互いに対応する論理コーンにおいて、素子毎にインスタンス名が一致するか否かを判定するインスタンス名マッチングを行い、該インスタンス名マッチングの結果を識別子として記録する第 2 識別子記録手段と、

前記論理コーンから、互いに接続され同じ識別子を持つ素子の集まりをサブコーンとして抽出するサブコーン抽出手段と、

前記サブコーン抽出手段により抽出されたサブコーン毎に前記二つの回路の論理等価検証を行う検証手段と、

前記論理等価検証の結果に基づいて、前記論理等価検証の結果が不一致となるサブコーンと前記論理等価検証の結果が一致するサブコーンとを区別して表示する表示制御手段と、

を備えてなる論理等価検証装置。

(付記 3) 所定の二つの回路の論理等価検証を行い、該論理等価検証の結果の表示を行う論理等価検証装置において、

前記二つの回路における互いに対応する論理コーンにおいて、論理コーンのうち所定部分に外部入力を与えて前記所定部分の出力を一定値とすることで、論理コーンから前記所定部分を除いて、サブコーンを抽出するサブコーン抽出手段と、

前記サブコーン抽出手段により抽出されたサブコーン毎に前記二つの回路の論理等価検証を行う検証手段と、

前記論理等価検証の結果に基づいて、前記論理等価検証の結果が不一致となるサブコーンと前記論理等価検証の結果が一致するサブコーンとを区別して表示する表示制御手段と、

を備えてなる論理等価検証装置。

(付記 4) 付記 3 に記載の論理等価検証装置において、

論理コーンが前記所定部分によって複数の部分へ分割される場合に、前記サブコーン抽出手段は前記複数の部分をサブコーンとして抽出することを特徴とする論理等価検証装置。

(付記 5) 所定の二つの回路の論理等価検証を行い、該論理等価検証の結果の表示を行う論理等価検証装置において、

前記二つの回路における互いに対応するそれぞれの論理コーンにおいて、部分の出力を見るための内部検証ポイントを選定し、前記内部検証ポイントの対応付けを行う内部検証ポイント対応付け手段と、

前記論理コーンから、前記内部検証ポイントを用いてサブコーンを抽出するサブコーン抽出手段と、

前記サブコーン抽出手段により抽出されたサブコーン毎に前記二つの回路の論理等価検証を行う検証手段と、

前記論理等価検証の結果に基づいて、前記論理等価検証の結果が不一致となるサブコーンと前記論理等価検証の結果が一致するサブコーンとを区別して表示する表示制御手段と、

を備えてなる論理等価検証装置。

(付記 6) 付記 1 乃至付記 5 のいずれかに記載の論理等価検証装置において、

前記表示制御手段は、前記論理等価検証の結果に基づいて、前記論理等価検証の結果が不一致となるサブコーンのみを表示することを特徴とする論理等価検証装置。

(付記 7) 所定の二つの回路の論理等価検証の結果において論理不一致となった論理コーンである不一致論理コーンが複数検出された場合に、論理不一致の原因を解析するための論理等価検証装置であって、

前記不一致論理コーンを構成する素子を記憶する記憶部と、

前記不一致論理コーンのうち解析の対象として選択した論理コーンを構成する素子を解析素子として抽出し、前記解析素子を含む前記不一致論理コーンを該当論理コーンとして前記解析素子毎に抽出し、前記該当論理コーンの数を該当数として前記解析素子毎に算出する解析手段と、

前記解析素子毎に前記該当数を表示する表示制御手段と、

を備えてなる論理等価検証装置。

(付記 8) 付記 7 に記載の論理等価検証装置において、

前記表示制御手段は、前記該当数が所定の範囲である前記解析素子のみを表示することを特徴とする論理等価検証装置。

(付記 9) 付記 7 または付記 8 に記載の論理等価検証装置において、

前記表示制御手段はさらに、前記解析素子毎に前記該当論理コーンの識別子を表示することを特徴とする論理等価検証装置。

(付記 1 0) 付記 7 乃至付記 9 のいずれかに記載の論理等価検証装置において、

前記表示制御手段は、素子の修正により影響の及ぶ出力ポイントを強調表示することを特徴とする論理等価検証装置。

(付記 1 1) 付記 7 乃至付記 1 0 のいずれかに記載の論理等価検証装置において

、
前記表示制御手段は、所定の回路を除外するための入力 of 制約により影響の及ぶ出力ポイントを強調表示することを特徴とする論理等価検証装置。

(付記 1 2) 付記 1 乃至付記 1 1 のいずれかに記載の論理等価検証装置において

、
前記所定の二つの回路は、設計中の回路の変更時における変更前回路と変更後回路であることを特徴とする論理等価検証装置。

(付記 1 3) 所定の二つの回路の論理等価検証を行い、該論理等価検証の結果の表示を行う論理等価検証方法であって、

前記二つの回路における互いに対応するそれぞれの論理コーンにおいて、回路の構造について対応する部分があるか否かを判定する構造マッチングを行い、前記構造マッチングの結果を素子毎の識別子として記録するステップと、

前記論理コーンから、互いに接続され同じ識別子を持つ素子の集まりをサブコーンとして抽出するステップと、

前記サブコーン毎に前記二つの回路の論理等価検証を行うステップと、

前記論理等価検証の結果に基づいて、前記論理等価検証の結果が不一致となるサブコーンと前記論理等価検証の結果が一致するサブコーンとを区別して表示するステップと、

を備えてなる論理等価検証方法。

(付記 1 4) 所定の二つの回路の論理等価検証を行い、該論理等価検証の結果の表示を行う論理等価検証方法であって、

前記二つの回路における互いに対応する論理コーンにおいて、素子毎にインスタンス名が一致するか否かを判定するインスタンス名マッチングを行い、該インスタンス名マッチングの結果を識別子として記録するステップと、

前記論理コーンから、互いに接続され同じ識別子を持つ素子の集まりをサブコーンとして抽出するステップと、

前記サブコーン毎に前記二つの回路の論理等価検証を行うステップと、

前記論理等価検証の結果に基づいて、前記論理等価検証の結果が不一致となるサブコーンと前記論理等価検証の結果が一致するサブコーンとを区別して表示するステップと、

を備えてなる論理等価検証方法。

(付記 1 5) 所定の二つの回路の論理等価検証を行い、該論理等価検証の結果の表示を行う論理等価検証方法であって、

前記二つの回路における互いに対応する論理コーンにおいて、論理コーンのうち所定部分に外部入力を与えて前記所定部分の出力を一定値とすることで、論理コーンから前記所定部分を除いて、サブコーンを抽出するステップと、

前記サブコーン毎に前記二つの回路の論理等価検証を行うステップと、

前記論理等価検証の結果に基づいて、前記論理等価検証の結果が不一致となるサブコーンと前記論理等価検証の結果が一致するサブコーンとを区別して表示するステップと、

を備えてなる論理等価検証方法。

(付記 1 6) 所定の二つの回路の論理等価検証を行い、該論理等価検証の結果の表示を行う論理等価検証方法であって、

前記二つの回路における互いに対応するそれぞれの論理コーンにおいて、部分の出力を見るための内部検証ポイントを選定し、前記内部検証ポイントの対応付けを行うステップと、

前記論理コーンから、前記内部検証ポイントを用いてサブコーンを抽出するス

テップと、

前記サブコーン毎に前記二つの回路の論理等価検証を行うステップと、

前記論理等価検証の結果に基づいて、前記論理等価検証の結果が不一致となるサブコーンと前記論理等価検証の結果が一致するサブコーンとを区別して表示するステップと、

を備えてなる論理等価検証方法。

(付記 17) 所定の二つの回路の論理等価検証の結果において論理不一致となった論理コーンである不一致論理コーンが複数検出された場合に、論理不一致の原因を解析するための論理等価検証方法であって、

前記不一致論理コーンを構成する素子を記憶するステップと、

前記不一致論理コーンのうち解析の対象として選択した論理コーンを構成する素子を解析素子として抽出し、前記解析素子を含む前記不一致論理コーンを該当論理コーンとして前記解析素子毎に抽出し、前記該当論理コーンの数を該当数として前記解析素子毎に算出するステップと、

前記解析素子毎に前記該当数を表示するステップと、
を備えてなる論理等価検証方法。

(付記 18) 所定の二つの回路の論理等価検証を行い、該論理等価検証の結果の表示を行う論理等価検証方法をコンピュータに実行させる論理等価検証プログラムであって、

前記二つの回路における互いに対応するそれぞれの論理コーンにおいて、回路の構造について対応する部分があるか否かを判定する構造マッチングを行い、前記構造マッチングの結果を素子毎の識別子として記録するステップと、

前記論理コーンから、互いに接続され同じ前記素子毎の識別子を持つ素子の集まりをサブコーンとして抽出するステップと、

前記サブコーン毎に前記二つの回路の論理等価検証を行うステップと、

前記論理等価検証の結果に基づいて、前記論理等価検証の結果が不一致となるサブコーンと前記論理等価検証の結果が一致するサブコーンとを区別して表示するステップと、

をコンピュータに実行させることを特徴とする論理等価検証プログラム。

(付記 19) 所定の二つの回路の論理等価検証を行い、該論理等価検証の結果の表示を行う論理等価検証方法をコンピュータに実行させる論理等価検証プログラムであって、

前記二つの回路における互いに対応する論理コーンにおいて、素子毎にインスタンス名が一致するか否かを判定するインスタンス名マッチングを行い、該インスタンス名マッチングの結果を識別子として記録するステップと、

前記論理コーンから、互いに接続され同じ識別子を持つ素子の集まりをサブコーンとして抽出するステップと、

前記サブコーン毎に前記二つの回路の論理等価検証を行うステップと、

前記論理等価検証の結果に基づいて、前記論理等価検証の結果が不一致となるサブコーンと前記論理等価検証の結果が一致するサブコーンとを区別して表示するステップと、

をコンピュータに実行させることを特徴とする論理等価検証プログラム。

(付記 20) 所定の二つの回路の論理等価検証を行い、該論理等価検証の結果の表示を行う論理等価検証方法をコンピュータに実行させる論理等価検証プログラムであって、

前記二つの回路における互いに対応する論理コーンにおいて、論理コーンのうち所定部分に外部入力を与えて前記所定部分の出力を一定値とすることで、論理コーンから前記所定部分を除いて、サブコーンを抽出するステップと、

前記サブコーン毎に前記二つの回路の論理等価検証を行うステップと、

前記論理等価検証の結果に基づいて、前記論理等価検証の結果が不一致となるサブコーンと前記論理等価検証の結果が一致するサブコーンとを区別して表示するステップと、

をコンピュータに実行させることを特徴とする論理等価検証プログラム。

(付記 21) 所定の二つの回路の論理等価検証を行い、該論理等価検証の結果の表示を行う論理等価検証方法をコンピュータに実行させる論理等価検証プログラムであって、

前記二つの回路における互いに対応するそれぞれの論理コーンにおいて、部分の出力を見るための内部検証ポイントを選定し、前記内部検証ポイントの対応付

けを行うステップと、

前記論理コーンから、前記内部検証ポイントを用いてサブコーンを抽出するステップと、

前記サブコーン毎に前記二つの回路の論理等価検証を行うステップと、

前記論理等価検証の結果に基づいて、前記論理等価検証の結果が不一致となるサブコーンと前記論理等価検証の結果が一致するサブコーンとを区別して表示するステップと、

をコンピュータに実行させることを特徴とする論理等価検証プログラム。

(付記 22) 所定の二つの回路の論理等価検証の結果において論理不一致となった論理コーンである不一致論理コーンが複数検出された場合に、論理不一致の原因を解析するための論理等価検証方法をコンピュータに実行させる論理等価検証プログラムであって、

前記不一致論理コーンを構成する素子を記憶するステップと、

前記不一致論理コーンのうち解析の対象として選択した論理コーンを構成する素子を解析素子として抽出し、前記解析素子を含む前記不一致論理コーンを該当論理コーンとして前記解析素子毎に抽出し、前記該当論理コーンの数を該当数として前記解析素子毎に算出するステップと、

前記解析素子毎に前記該当数を表示するステップと、

をコンピュータに実行させることを特徴とする論理等価検証プログラム。

【0115】

【発明の効果】

以上に詳述したように本発明によれば、サブコーン単位で論理等価検証を行い、不一致原因が潜んでいるサブコーンのみを表示することにより、ユーザが行う不一致原因の解析の手間を軽減し、設計・検証 T A T を短縮することができる。また、多数の論理不一致サブコーンが出現した場合に、複数の論理不一致について同時に解析を行うことができ、共通不一致原因を解析することが容易となる。そのため、全ての論理不一致サブコーンを 1 つずつ解析する方法に比べて、解析の時間が大幅に短縮される。また論理不一致の原因の共通性を考慮することにより、修正箇所が増えたり、他に新たな不一致原因を生成することを防ぎ、修正の

最適化を行うことができる。

【図面の簡単な説明】

【図 1】

本実施の形態における論理等価検証装置の構成の一例を示すブロック図である。

【図 2】

実施の形態 1 乃至実施の形態 4 における論理等価検証装置の機能の一例を示す機能ブロック図である。

【図 3】

検証制御プログラムの処理の一例を示すフローチャートである。

【図 4】

内部検証ポイントを用いて抽出されたサブコーンの一例を示す図である。

【図 5】

実施の形態 2 と実施の形態 3 における論理コーン内のサブコーンの抽出処理の一例を示すブロック図である。

【図 6】

構造マッチングの結果を用いて抽出されたサブコーンの一例を示す図である。

【図 7】

インスタンス名マッチングの結果を用いて抽出されたサブコーンの一例を示す図である。

【図 8】

実施の形態 4 におけるサブコーンの抽出処理の一例を示すブロック図である。

【図 9】

検証対象外の部分を除いて抽出されたサブコーンの一例を示す図である。

【図 1 0】

実施の形態 5 における論理等価検証装置の機能の一例を示す機能ブロック図である。

【図 1 1】

共通不一致原因解析の処理の一例を示すフローチャートである。

【図 1 2】

スペックの一例を示す図である。

【図 1 3】

インプリの一例を示す図である。

【図 1 4】

スペックにおける S を出力ポイントとしたサブコーンを示す図である。

【図 1 5】

論理不一致リスト画面の一例を示す図である。

【図 1 6】

解析条件設定画面の一例を示す図である。

【図 1 7】

共通不一致原因解析結果画面の一例を示す図である。

【図 1 8】

不一致原因影響解析画面の一例を示す図である。

【図 1 9】

影響伝播範囲画面の一例を示す図である。

【図 2 0】

スペックの他の一例を示す図である。

【図 2 1】

インプリの他の一例を示す図である。

【図 2 2】

影響伝播範囲画面の他の一例を示す図である。

【図 2 3】

論理コーンの一例を示す図である。

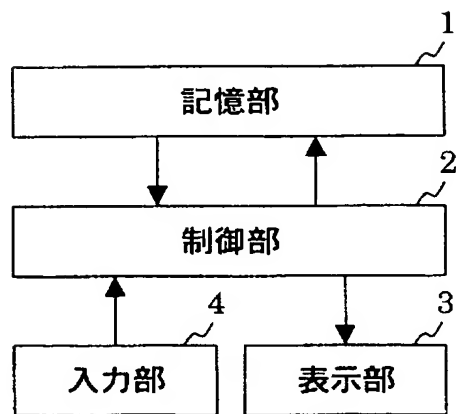
【符号の説明】

1 記憶部、2 制御部、3 表示部、4 入力部、100, 101 DB、
5 内部DB、51 セルライブラリ、52 スペックデザイン、53 イン
プリデザイン、6, 63 検証DB、200, 201 検証制御プログラム、7
前処理手段、8 サブコーン抽出手段、61 解析手段、9 検証手段、10,

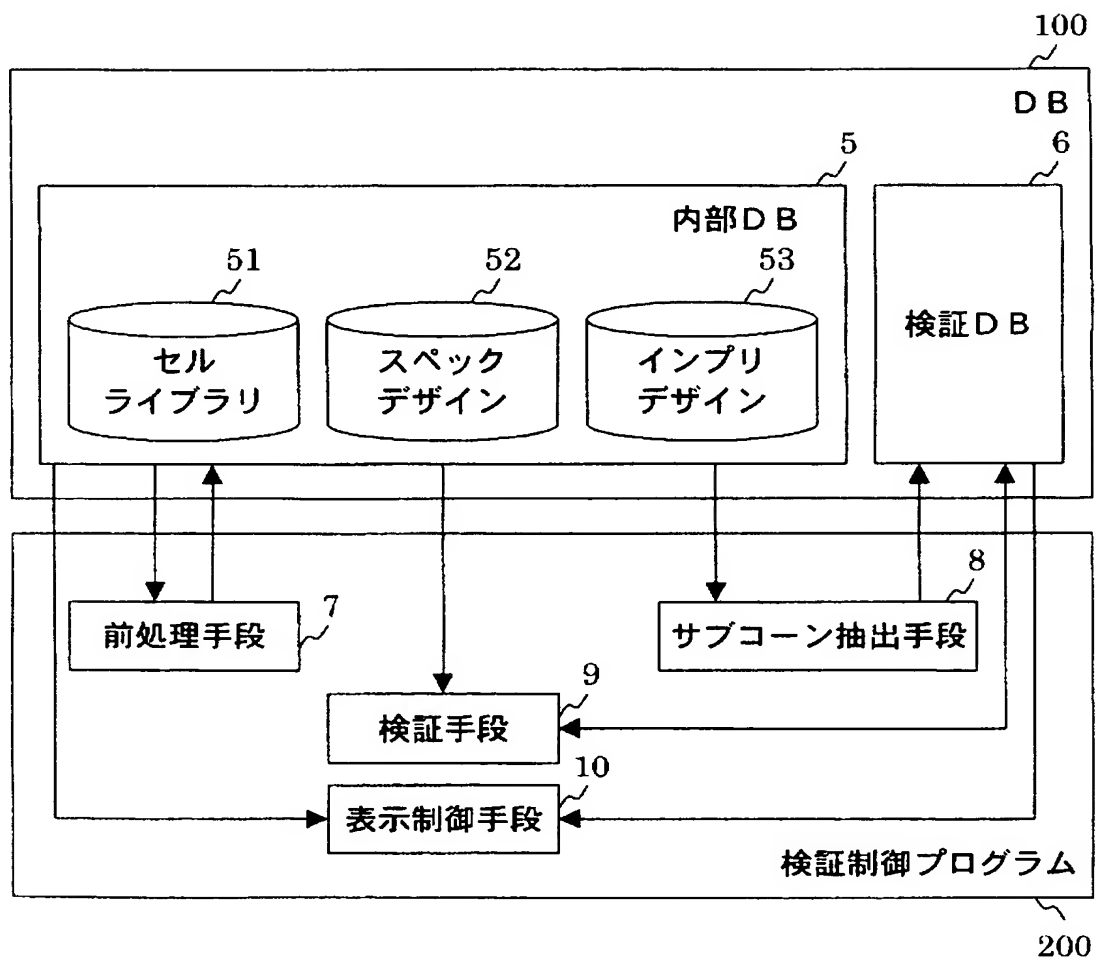
6 2 表示制御手段、1 1, 1 3 検証ポイント、2 1, 2 2 内部検証ポイント、1 2, 1 4, 1 5, 1 6, 3 1, 3 2, 3 3, 3 4, 4 2, 4 3, 4 5, 4 6 サブコーン。

【書類名】 図面

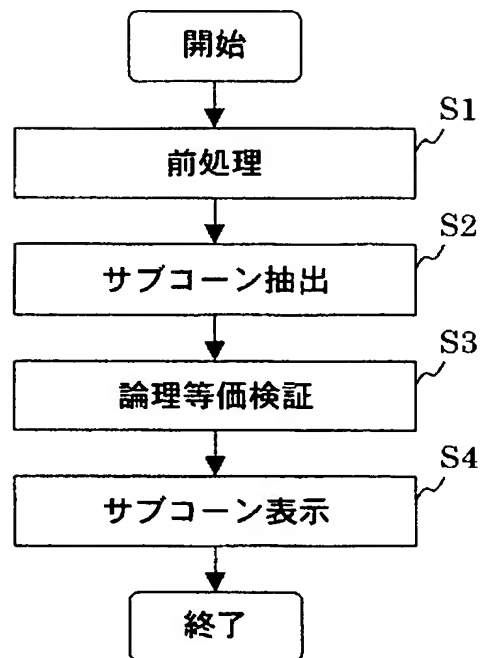
【図 1】



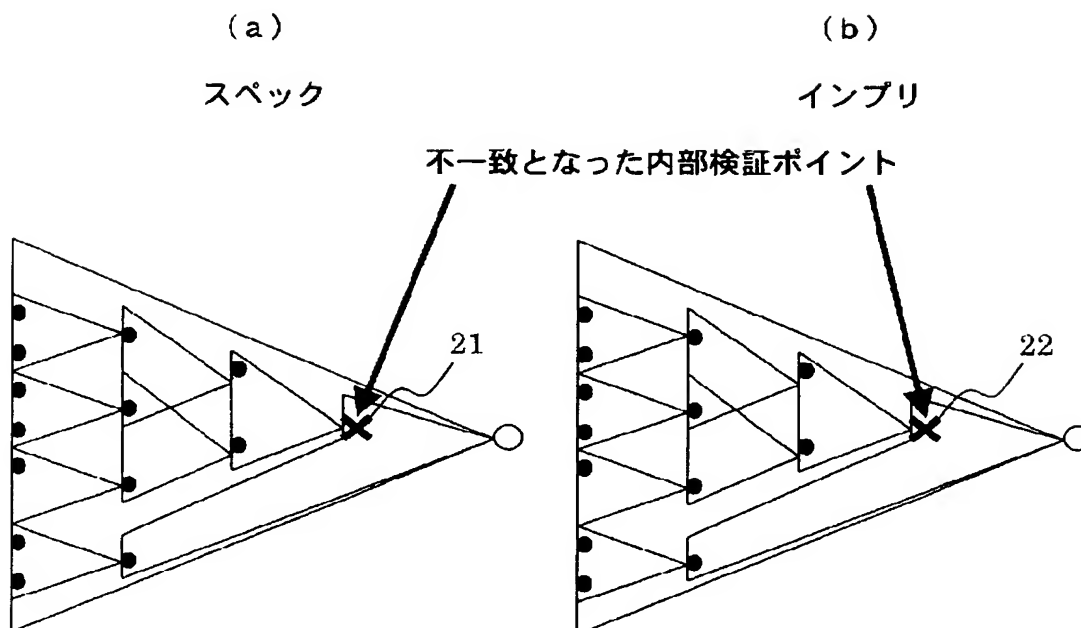
【図 2】



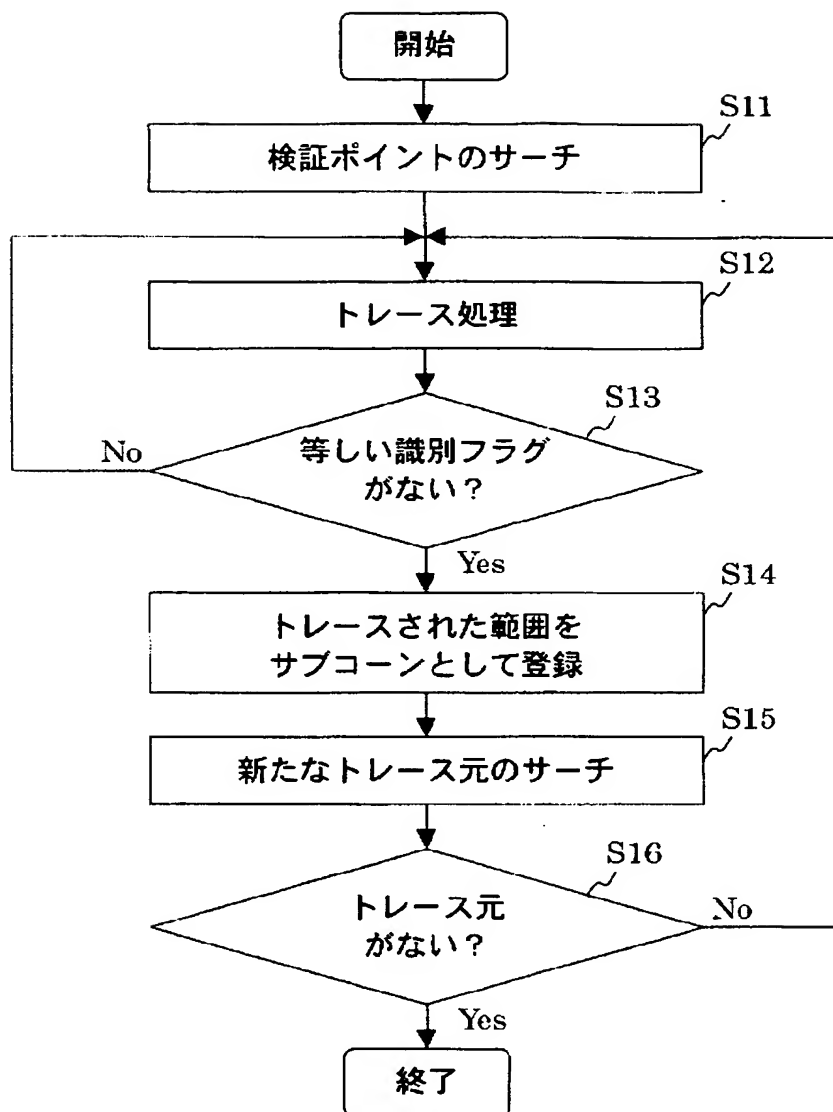
【図 3】



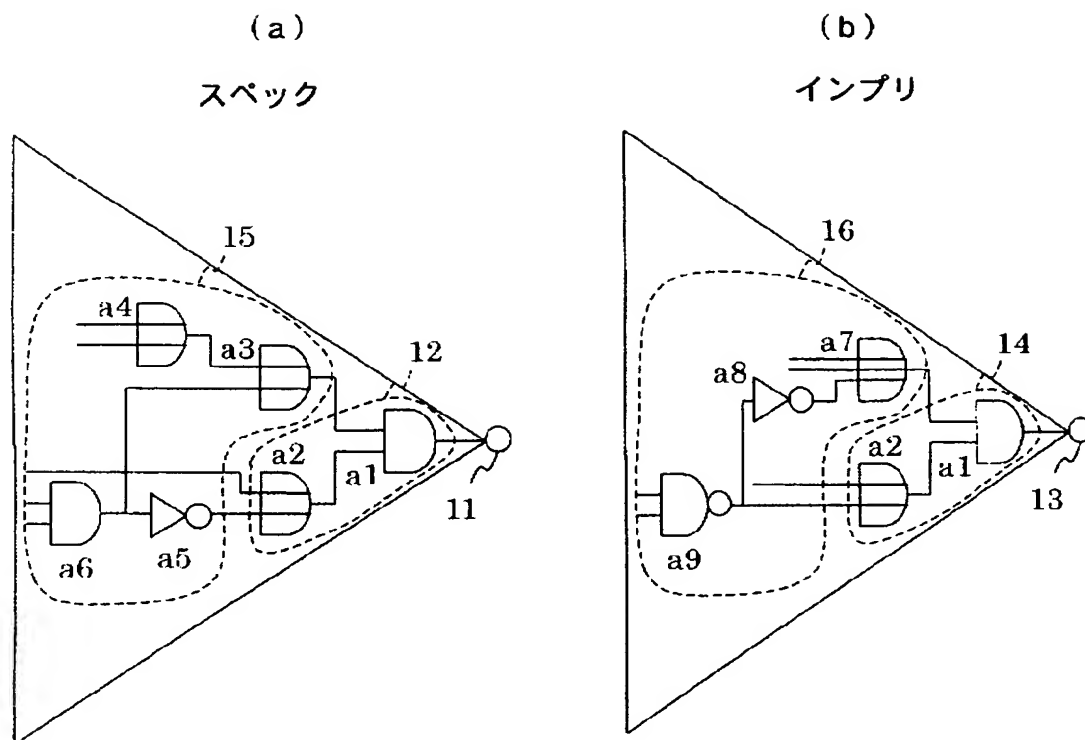
【図 4】



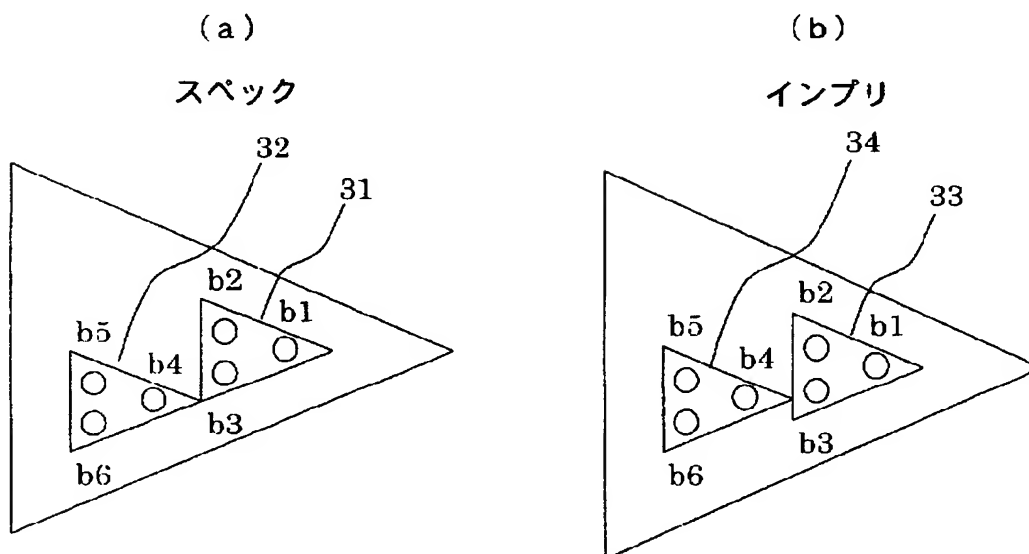
【図 5】



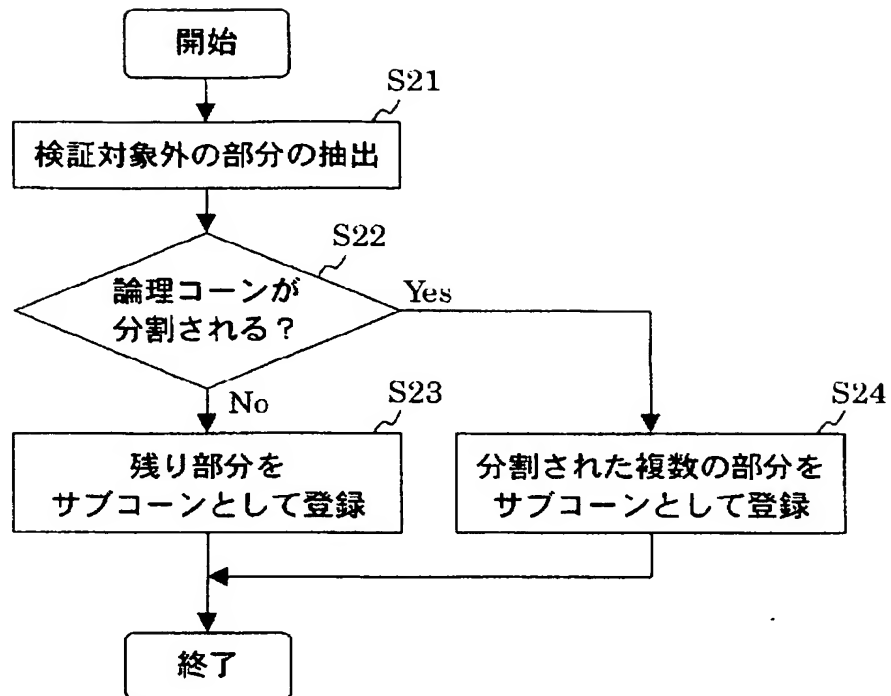
【図 6】



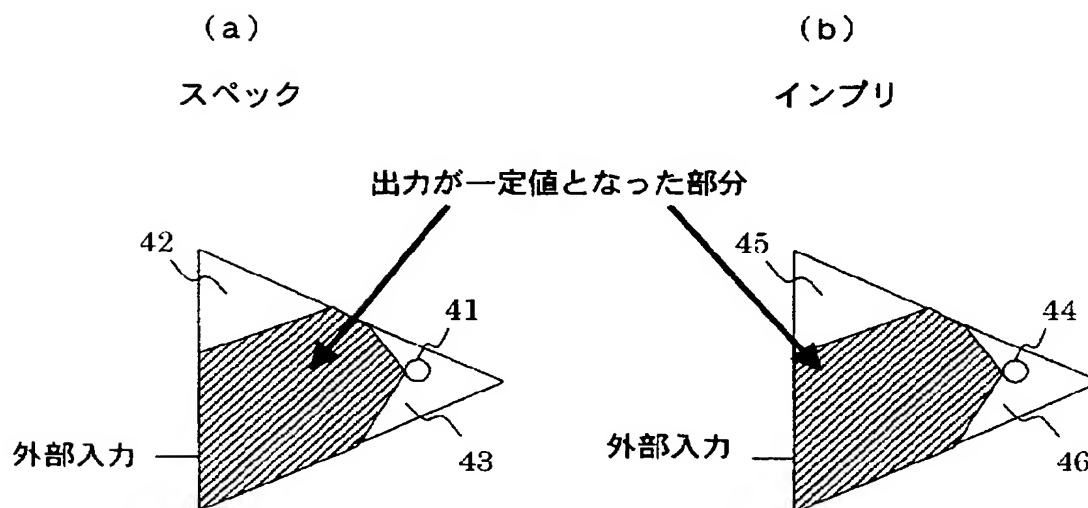
【図 7】



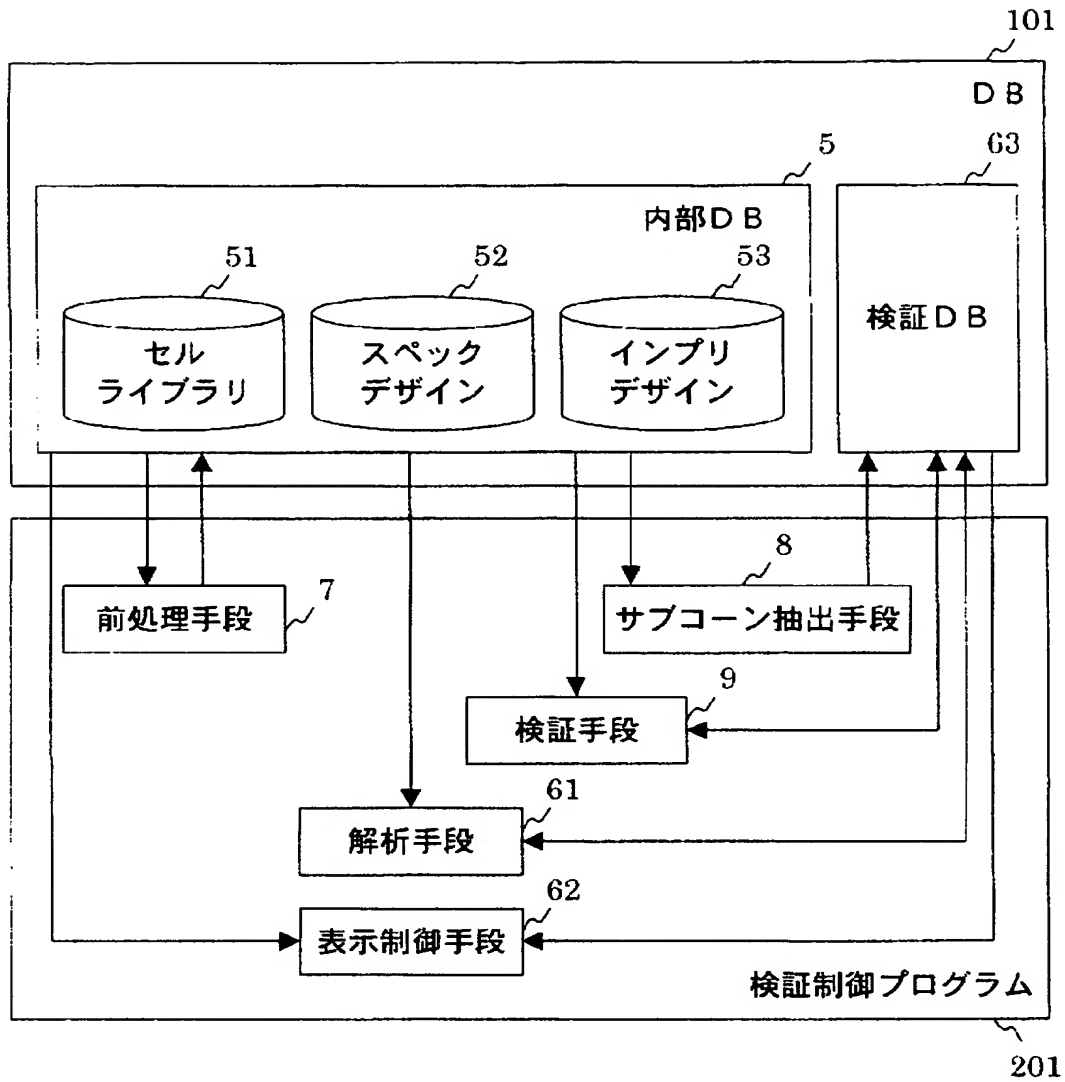
【図 8】



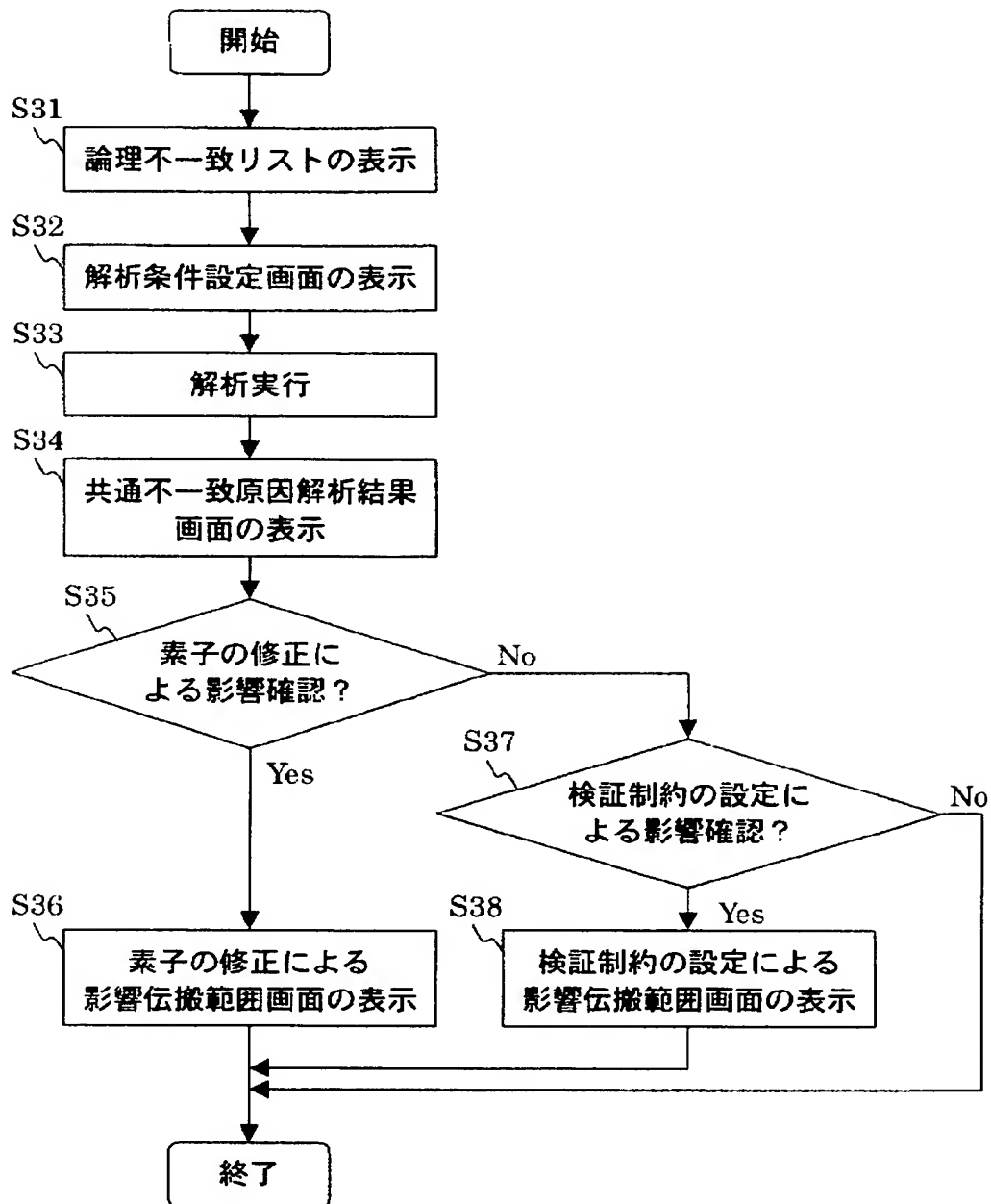
【図 9】



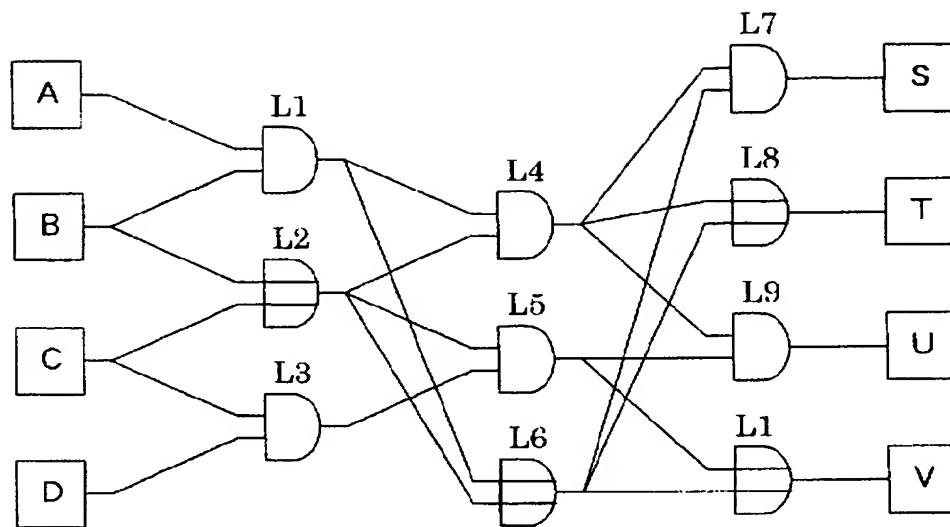
【図 10】



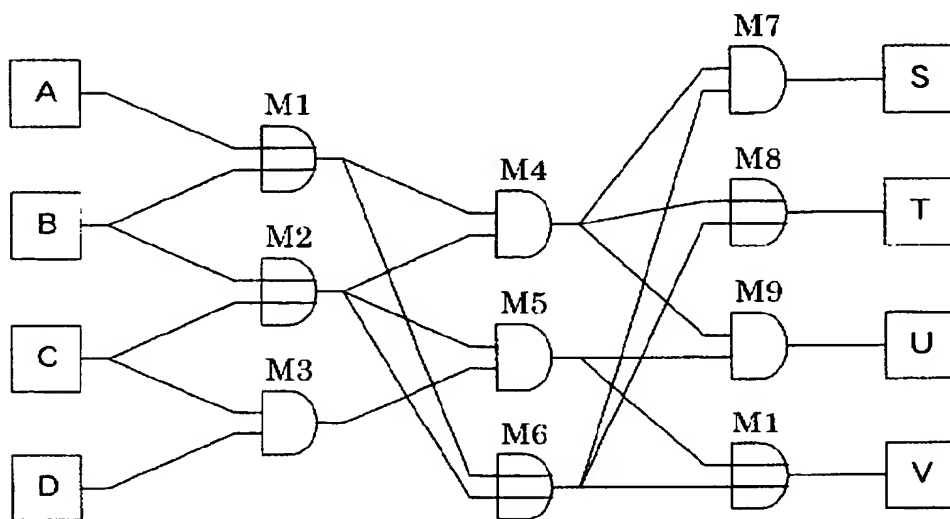
【図 11】



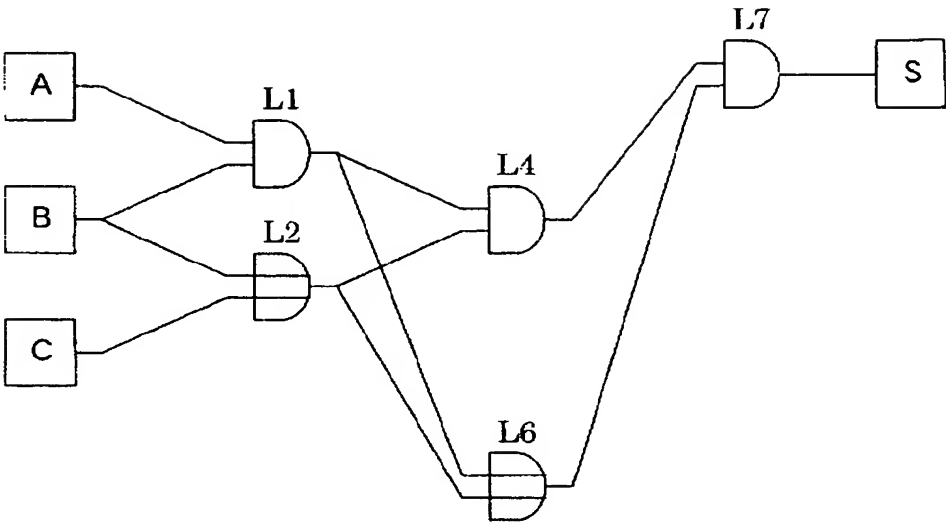
【図 12】



【図 13】



【図 1 4】



【図 1 5】

| 論理不一致リスト | | | | |
|----------|------|---|--|-------------------------------------|
| 1 | スペック | S | | <input checked="" type="checkbox"/> |
| | インプリ | S | | |
| 2 | スペック | T | | <input checked="" type="checkbox"/> |
| | インプリ | T | | |
| 3 | スペック | U | | <input checked="" type="checkbox"/> |
| | インプリ | U | | |
| 4 | スペック | V | | <input checked="" type="checkbox"/> |
| | インプリ | V | | |
| 5 | スペック | | | <input type="checkbox"/> |
| | インプリ | | | |
| 6 | スペック | | | <input type="checkbox"/> |
| | インプリ | | | |

解析条件設定 71

【図 16】

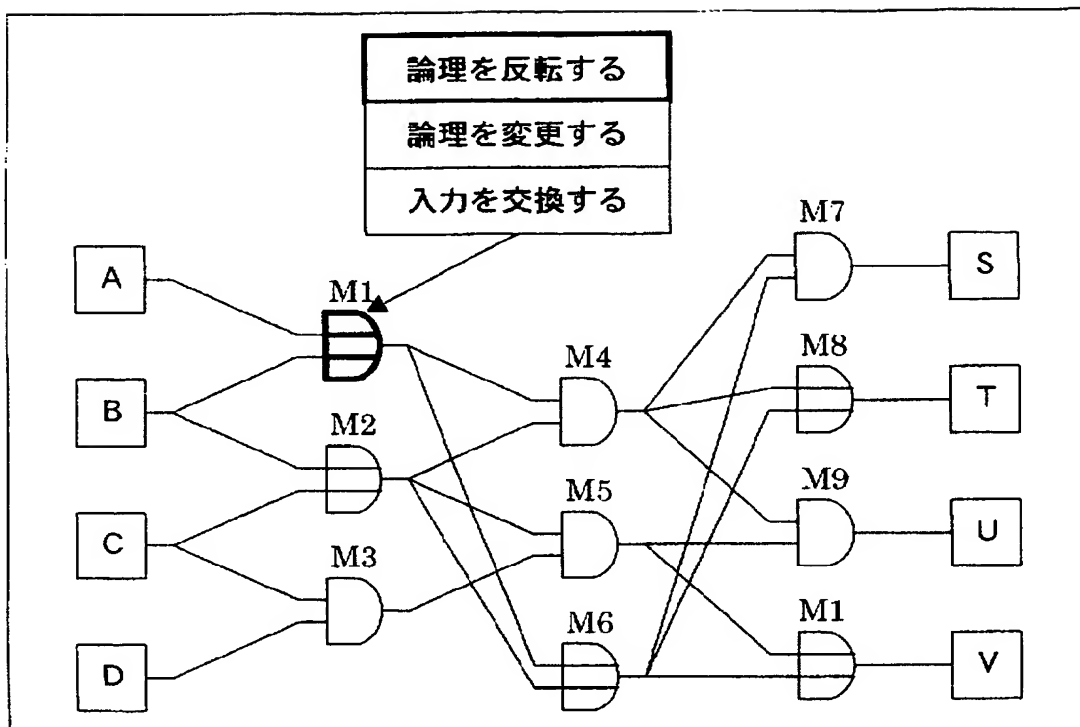
| 解析条件設定 | | | | | |
|------------------------------------|--|---|---------|-----------------------------|---|
| 解析素子種類 | | | | | |
| AND | <input checked="" type="checkbox"/> ON | <input type="checkbox"/> OFF | ADDER | <input type="checkbox"/> ON | <input checked="" type="checkbox"/> OFF |
| OR | <input checked="" type="checkbox"/> ON | <input type="checkbox"/> OFF | 3STATE | <input type="checkbox"/> ON | <input checked="" type="checkbox"/> OFF |
| EOR | <input type="checkbox"/> ON | <input checked="" type="checkbox"/> OFF | Wired論理 | <input type="checkbox"/> ON | <input checked="" type="checkbox"/> OFF |
| NAND | <input type="checkbox"/> ON | <input checked="" type="checkbox"/> OFF | インバータ | <input type="checkbox"/> ON | <input checked="" type="checkbox"/> OFF |
| NOR | <input type="checkbox"/> ON | <input checked="" type="checkbox"/> OFF | バッファ | <input type="checkbox"/> ON | <input checked="" type="checkbox"/> OFF |
| ENOR | <input type="checkbox"/> ON | <input checked="" type="checkbox"/> OFF | | | |
| AND-OR複合 | <input type="checkbox"/> ON | <input checked="" type="checkbox"/> OFF | | | |
| セレクト | <input type="checkbox"/> ON | <input checked="" type="checkbox"/> OFF | | | |
| 解析素子接続状況 | | | | | |
| 最小入力数 | 2 | | | | |
| 最大入力数 | 制限なし | | | | |
| 最小出力分岐数 | 制限なし | | | | |
| 最大出力分岐数 | 制限なし | | | | |
| 出現回数 | | | | | |
| <input type="text" value="1"/> 回以上 | | | | | |
| | | | | | 72 |
| | | | | | 解析実行 |

【図 17】

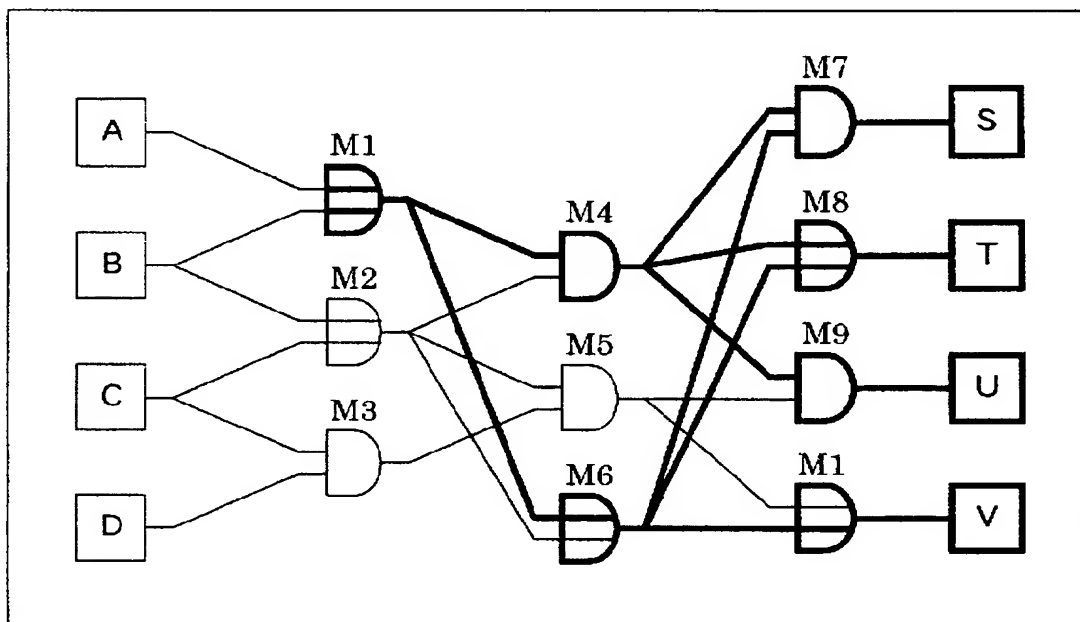
| 共通不一致原因解析結果 | | | | | | | |
|-------------|-----|---|---|---|---|--|-----|
| ←→ | | | | | | | |
| スペック | S | T | U | V | | | 該当数 |
| ↑ | L1 | ■ | ■ | ■ | ■ | | 4 |
| | L2 | ■ | ■ | ■ | ■ | | 4 |
| | L3 | | | ■ | ■ | | 2 |
| | L4 | ■ | ■ | ■ | | | 3 |
| | L5 | | | ■ | ■ | | 2 |
| | L6 | ■ | ■ | | ■ | | 3 |
| | L7 | ■ | | | | | 1 |
| | L8 | | ■ | | | | 1 |
| | L9 | | | ■ | | | 1 |
| ↓ | L10 | | | | ■ | | 1 |

| ←→ | | | | | | | |
|------|-----|---|---|---|---|--|-----|
| インプリ | S | T | U | V | | | 該当数 |
| ↑ | M1 | ■ | ■ | ■ | ■ | | 4 |
| | M2 | ■ | ■ | ■ | ■ | | 4 |
| | M3 | | | ■ | ■ | | 2 |
| | M4 | ■ | ■ | ■ | | | 3 |
| | M5 | | | ■ | ■ | | 2 |
| | M6 | ■ | ■ | | ■ | | 3 |
| | M7 | ■ | | | | | 1 |
| | M8 | | ■ | | | | 1 |
| | M9 | | | ■ | | | 1 |
| ↓ | M10 | | | | ■ | | 1 |

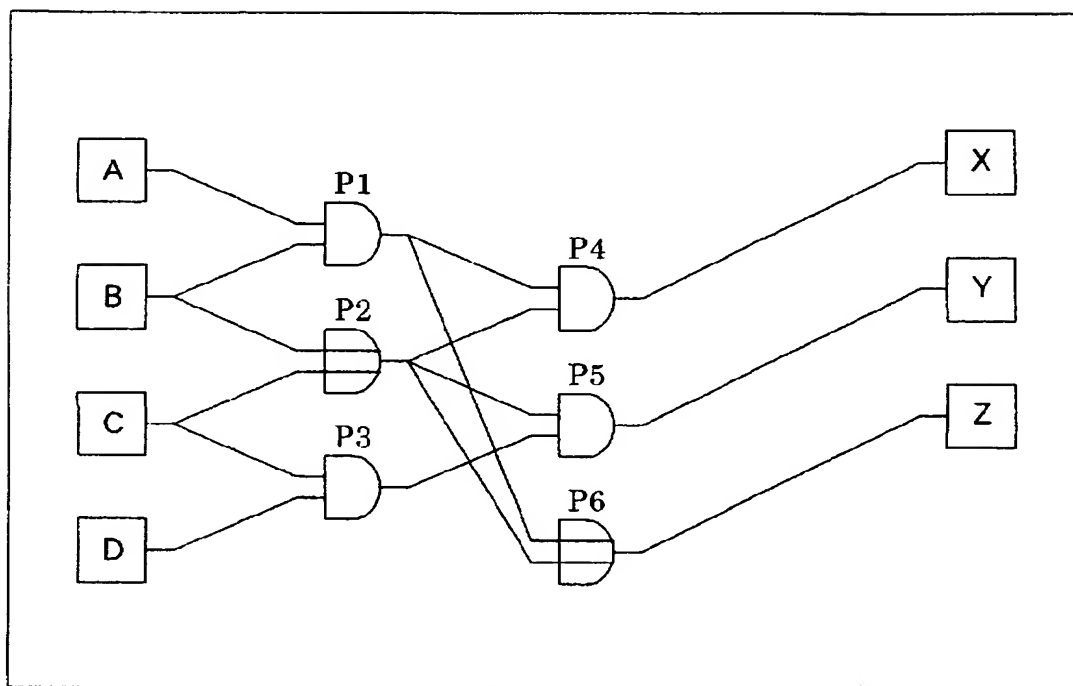
【図 18】



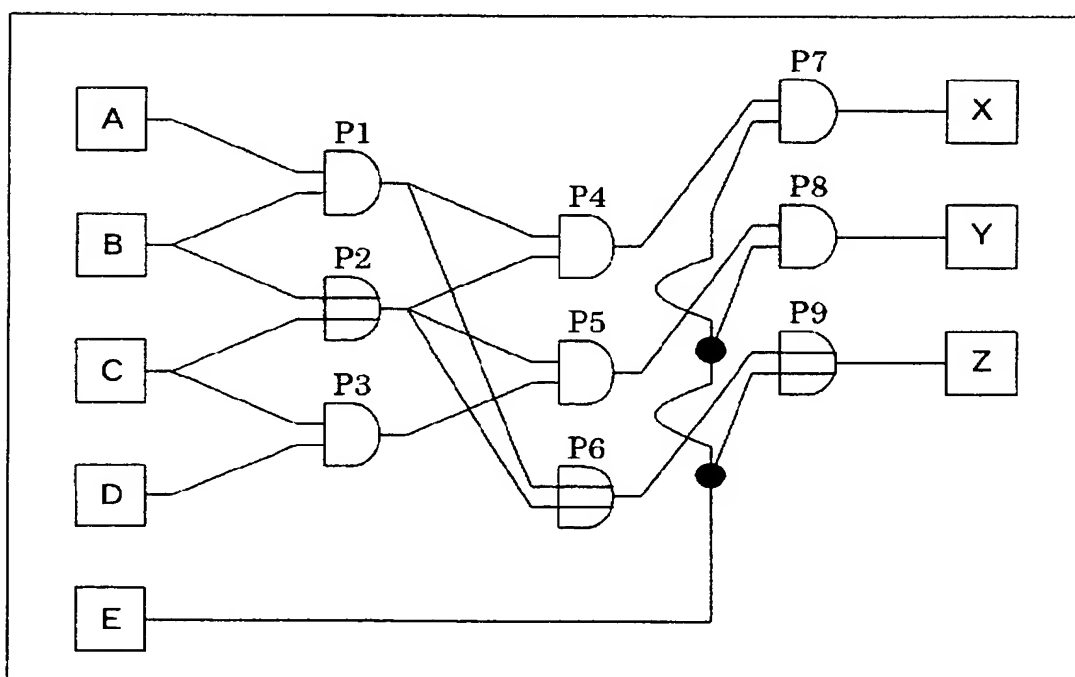
【図 19】



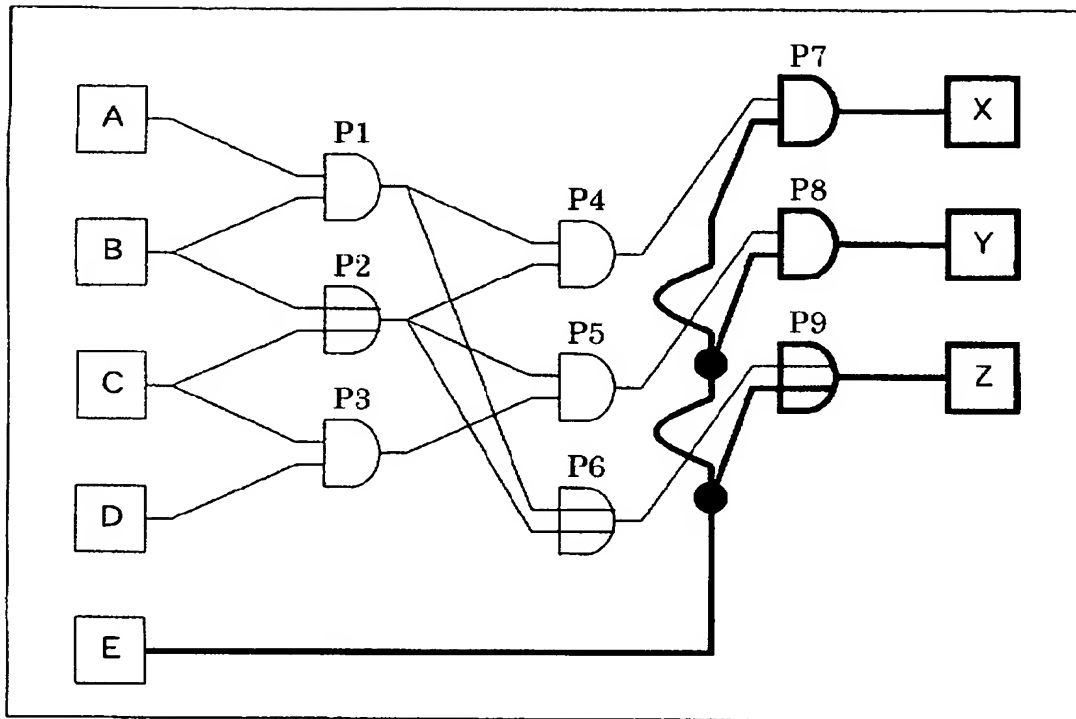
【図 20】



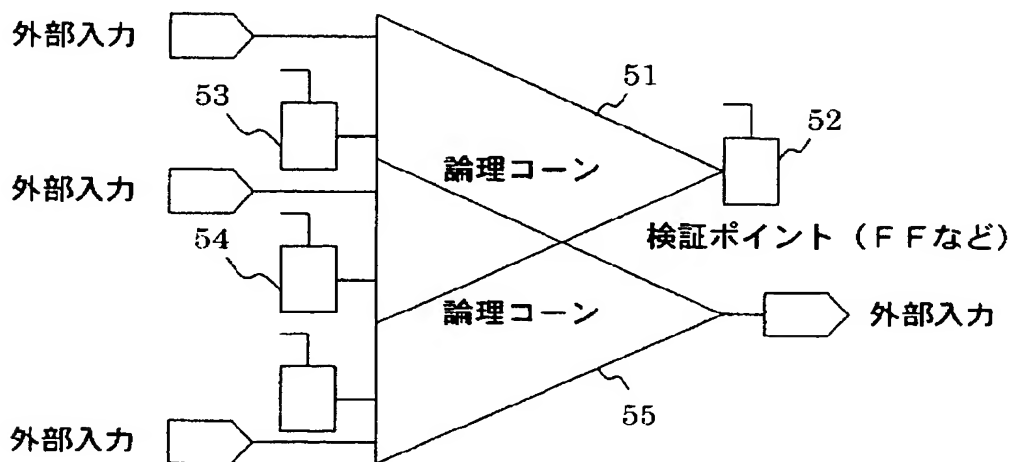
【図 21】



【図 22】



【図 23】



【書類名】 要約書

【要約】

【課題】 論理等価検証後における不一致原因解析の手間を軽減し、設計・検証 T A T を短縮できる論理等価検証装置、論理等価検証方法を提供することを目的とする。

【解決手段】 二つの回路の論理等価検証を行い、論理等価検証の結果の表示を行う論理等価検証装置において、二つの回路における互いに対応するそれぞれの論理コーンにおいて、回路の構造について対応する部分があるか否かを判定する構造マッチングを行う前処理手段 7 と、構造マッチングの結果を素子毎の識別子として記録する内部 D B 5 と、論理コーンから、互いに接続され同じ識別子を持つ素子の集まりをサブコーンとして抽出するサブコーン抽出手段 8 と、抽出されたサブコーン毎に二つの回路の論理等価検証を行う検証手段 9 と、論理等価検証の結果が不一致となるサブコーンのみを表示する表示制御手段 1 0 を備えた。

【選択図】 図 2



認定・付加情報

| | |
|---------|--------------------------|
| 特許出願の番号 | 特願 2 0 0 3 - 2 0 1 1 4 4 |
| 受付番号 | 5 0 3 0 1 2 2 3 5 6 2 |
| 書類名 | 特許願 |
| 担当官 | 第七担当上席 0 0 9 6 |
| 作成日 | 平成 1 5 年 7 月 2 9 日 |

< 認定情報・付加情報 >

【提出日】 平成15年 7月24日

特願 2 0 0 3 - 2 0 1 1 4 4

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 2 2 3]

1 . 変更年月日

1 9 9 0 年 8 月 2 4 日

[変更理由]

新規登録

住 所

神奈川県川崎市中原区上小田中 1 0 1 5 番地

氏 名

富士通株式会社

2 . 変更年月日

1 9 9 6 年 3 月 2 6 日

[変更理由]

住所変更

住 所

神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号

氏 名

富士通株式会社